



Ricerca di Sistema elettrico

Assistenza alla realizzazione, collaudo, verifica e raccolta dati sperimentali del prototipo di V2H wireless

Manuele Bertoluzzo



ASSISTENZA ALLA REALIZZAZIONE, COLLAUDO, VERIFICA E RACCOLTA DATI SPERIMENTALI DEL PROTOTIPO DI V2H WIRELESS

Manuele Bertoluzzo (Università di Padova Dipartimento di Ingegneria Industriale)

Dicembre 2021

Report Ricerca di Sistema Elettrico

Accordo di Programma Ministero della Transizione Ecologica - ENEA

Piano Triennale di Realizzazione 2019-2021 - III annualità

Obiettivo: Tecnologie

Progetto: Tecnologie per la penetrazione efficiente del vettore elettrico negli usi finali

Work package: Mobilità

Linea di attività: 15 Assistenza tecnica alla realizzazione del V2H wireless, collaudo, verifica, rispondenza alle specifiche di progetto e raccolta dati sperimentali

Responsabile del Progetto Claudia Meloni ENEA

Responsabile del Work package: Maria Pia Valentini ENEA

Il presente documento descrive le attività di ricerca svolte all'interno dell'Accordo di collaborazione "V2H - Studio, progetto e sperimentazione di un sistema di ricarica wireless con funzionalità Vehicle to Home"

Responsabile scientifico ENEA: Antonino Genovese

Responsabile scientifico: Manuele Bertoluzzo

Indice

SOMMARIO.....	3
1 INTRODUZIONE	4
2 PLL E METODO PER LA GENERAZIONE DI DUE SEGNALI ORTOGONALI	4
2.1 GENERAZIONE DEI DUE SEGNALI ORTOGONALI	4
2.2 OTTIMIZZAZIONE DEL PLL	6
2.2.1 <i>Progettazione del controllore</i>	6
2.3 STIMA DELLA PULSAZIONE DI RETE.....	9
2.4 DISCRETIZZAZIONE E SIMULAZIONE DEL PLL	11
2.5 IMPLEMENTAZIONE E PROVE PRELIMINARI	13
2.6 RISULTATI SPERIMENTALI	14
2.7 DISCUSSIONE.....	22
3 REALIZZAZIONE E SPERIMENTAZIONE DEL PROTOTIPO.....	23
3.1 DESCRIZIONE DEL PROTOTIPO	23
3.2 ESPERIMENTI PRELIMINARI	28
3.3 SEMPLIFICAZIONE DEGLI ALGORITMI DI CONTROLLO.....	29
4 CONCLUSIONI.....	35
5 RIFERIMENTI BIBLIOGRAFICI	36
6 APPENDICE.....	37

Sommario

L'attività di ricerca del progetto triennale "V2H - Studio, progetto e sperimentazione di un sistema di ricarica wireless con funzionalità Vehicle to Home" ha come obiettivo finale la realizzazione e la sperimentazione di un sistema per la trasmissione della potenza senza contatto, capace di gestire flussi di potenza bidirezionali e di interfacciarsi, da un lato, alla rete domestica di una abitazione e, dall'altro, alla batteria di accumulatori di un veicolo elettrico. Nel corso del primo anno del progetto sono state definite le specifiche del Sistema Wireless V2H (SWV2H), sono state dimensionate le bobine di accoppiamento e le relative reti di compensazione, è stata selezionata la topologia circuitale dei convertitori statici che costituiscono lo SWV2H e sono stati dimensionati i loro componenti principali, e, infine, sono stati impostati i criteri di base per lo sviluppo degli algoritmi di controllo del sistema complessivo.

Nel secondo anno del progetto è stata effettuata una progettazione dettagliata della strategia di controllo dello SWV2H. Essa è stata organizzata su due livelli che operano in maniera coordinata. Il livello di controllo interno è costituito dagli algoritmi direttamente interfacciati con i singoli convertitori statici mentre gli algoritmi di controllo d'EL livello esterno generano i riferimenti per quelli del livello interno e sono responsabili del funzionamento coerente della sezione trasmittente e della sezione ricevente dello SWV2H. Le prestazioni di tutti gli algoritmi sono state verificate mediante simulazioni sviluppate nell'ambiente Matlab/Simulink.

Il terzo anno del progetto è stato dedicato alla realizzazione del SWV2H prototipale. La progettazione circuitale di dettaglio del prototipo e la sua realizzazione sono state affidate ad una ditta esterna con la quale sono stati mantenuti una continua collaborazione e scambio di informazioni durante lo sviluppo dei lavori. Oltre a fornire assistenza per la realizzazione del prototipo, nel corso dell'ultimo anno del progetto sono stati anche approfonditi sia dal punto di vista teorico che applicativo alcuni dettagli riguardanti l'algoritmo PLL che era stato sviluppato per ricavare la fase della tensione di rete, informazione necessaria per effettuare uno scambio controllato di potenza attiva e reattiva tra essa e lo SWV2H. Il PLL e le basi teoriche del metodo proposto per la generazione di due segnali ortogonali da cui ricavare la fase della tensione di rete, che è originale e diverso da quelli reperiti in letteratura, sono stati studiati approfonditamente e quindi sono stati discretizzati e implementati nel firmware di un microcontrollore. Per mezzo di quest'ultimo sono stati effettuati numerosi esperimenti in varie condizioni operative per verificare la bontà del metodo proposto.

Nel corso dell'ultima parte dell'anno, dopo il completamento del prototipo sono stati effettuati in collaborazione con la ditta costruttrice i test funzionali volti a verificarne il corretto funzionamento in tutte le previste modalità operative. I risultati degli esperimenti preliminari sono riportati nella parte finale di questa relazione.

1 Introduzione

L'attività principale prevista per il terzo anno del progetto è consistita nel fornire assistenza alla ditta incaricata della realizzazione del prototipo del SWV2H durante lo sviluppo dello stesso e, successivamente, durante l'esecuzione delle prove sperimentali destinate a verificarne il corretto funzionamento. In attesa che il prototipo fosse realizzato, è stata effettuata una attività di revisione dei risultati ottenuti nel corso del secondo anno nell'intento di approfondirne alcuni aspetti.

In particolare, nello sviluppare gli algoritmi di controllo era stato proposto un PLL che utilizzava un metodo originale per sincronizzarsi alla tensione di rete. Tale metodo, che si era dimostrato valido nelle simulazioni effettuate lo scorso anno, è stato riconsiderato e studiato con maggiore attenzione quest'anno, apportandovi alcune migliorie e, soprattutto, è stato anche implementato nel firmware di un microprocessore per sperimentarlo in condizioni operative reali. I risultati ottenuti da questa attività sperimentale sono stati comparati con quelli reperiti in letteratura e relativi ad altri tipi di PLL. Per effettuare una comparazione significativa si è avuta cura di progettare gli anelli di controllo del PLL sperimentato con le medesime specifiche di quelli citati nelle fonti e di sottoporre il sistema alle medesime sollecitazioni. Il confronto ha mostrato che il PLL sviluppato nel corso del progetto ha buone prestazioni, in alcuni casi superiori a quelle dei migliori PLL recensiti in letteratura.

2 PLL e metodo per la generazione di due segnali ortogonali

2.1 Generazione dei due segnali ortogonali

I PLL utilizzati per determinare la fase istantanea di un sistema di tensioni trifase sono spesso basati sulla proprietà della trasformazione di Park in base alla quale se l'angolo impiegato per la trasformazione stessa coincide con la fase istantanea del fasore spaziale delle tensioni, la componente q delle tensioni trasformate risulta di ampiezza nulla. In base a questo principio, il PLL viene progettato come un anello di controllo che forza a zero la componente q delle tensioni trasformate agendo sulla fase stimata, secondo lo schema di Figura 1. Considerando le proprietà della trasformazione di Clarke, da cui si ricavano v_α e v_β , e l'espressione della trasformazione di Park, si può dimostrare facilmente che

$$v_q(t) \cong V_a \sin(\theta_a - \theta_{a,s}) \cong V_a(\theta_a - \theta_{a,s}) \quad (1)$$

Dove V_a è l'ampiezza della tensione della fase a. Dalla (1) deriva che se il controllore del PLL, generalmente un PI, porta a zero v_q , automaticamente viene azzerato anche l'errore tra la fase θ_a della tensione di rete v_a e il suo valore stimato $\theta_{a,s}$. L'annullamento di v_q comporta anche che v_d assuma il valore della ampiezza di picco di v_a . Di conseguenza, oltre a fornire una stima della fase della tensione di rete, il PLL fornisce anche la stima della ampiezza di tale tensione e, come mostrato nella Figura 1, anche la stima $\omega_{a,s}$ della pulsazione di rete ω_a .

La (1) mostra che le variazioni di ampiezza della tensione di rete agiscono come variazioni del guadagno di anello del PLL e che, di conseguenza, potrebbero pregiudicarne il corretto funzionamento. Considerando che quando l'errore di fase del PLL è nullo l'uscita v_d della trasformata di Park è uguale a V_a , spesso l'ingresso dell'anello di controllo del PLL non viene posto il segnale v_q , ma il segnale v_q' ottenuto mediante

$$v_q' \triangleq \frac{v_q}{v_d} \quad (2)$$

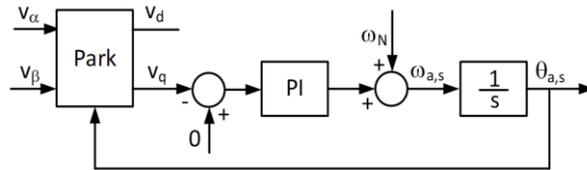


Figura 1. Schema a blocchi dell’algoritmo PLL.

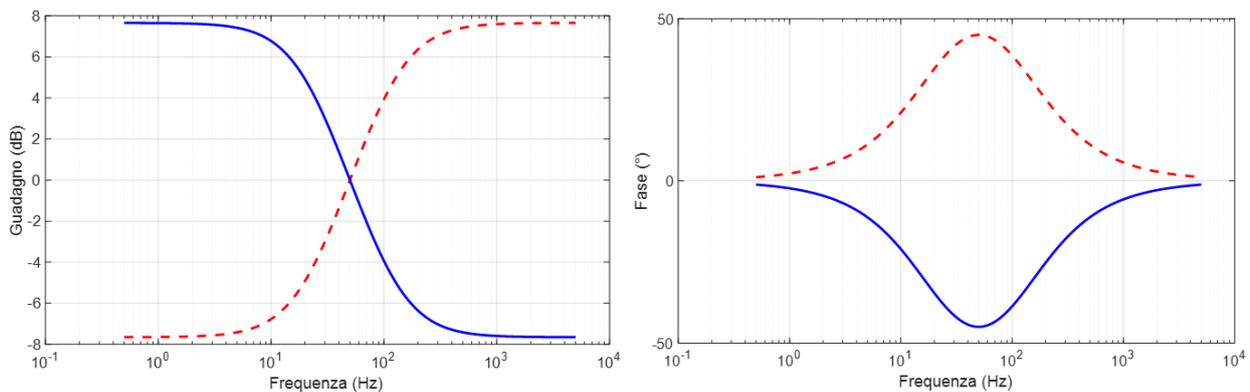


Figura 2. Diagramma di Bode del filtro anticipatore (rosso) e ritardatore (blu).

riducendo così gli effetti della variazione dell’ampiezza di v_a .

Dato che il fasore spaziale può essere definito solo per tensioni trifase, si potrebbe concludere che l’approccio sopra accennato non possa essere utilizzata nei sistemi monofase, nei quali è definita solamente la tensione v_a . Per ovviare a questo inconveniente si sfrutta il fatto che nei sistemi trifase con tensioni simmetriche la componente v_α del fasore spaziale è uguale alla tensione di fase v_a mentre la componente v_β ha ampiezza uguale a v_α ed è ritardata di 90° rispetto ad essa. Le tensioni v_d e v_q vengono quindi generate applicando la trasformazione di Park alla tensione v_α , che è uguale a v_a , e ad una tensione fittizia v_β ottenuta ritardando v_α di un quarto di periodo. Il procedimento che consente di ottenere v_β viene detto “generazione del segnale ortogonale” (GSO) e può essere effettuato usando diversi metodi.

Nel precedente anno di realizzazione del progetto è stato sviluppato un metodo per la GSO originale, diverso da quelli presentati in letteratura, che si basa sulla generazione di due segnali v_{ant} e v_{rit} tra loro ortogonali, ma sfasati rispettivamente in anticipo e in ritardo di 45° rispetto alla tensione di rete v_i applicata all’ingresso del raddrizzatore attivo che costituisce il primo stadio dello SWV2H. Il PLL viene quindi a stimare la fase di v_{ant} piuttosto che la fase di v_i , ma questo non è un problema perché è sufficiente sottrarre 45° alla fase stimata per ottenere quella desiderata. Il metodo proposto è stato denominato “generazione di due segnali ortogonali” (GDSO)

Nel precedente anno sono stati dimensionati i filtri $F_{ant}(s)$ e $F_{rit}(s)$ che permettono di ottenere i due segnali ortogonali a partire da v_i . I diagrammi di Bode dei due filtri sono riportati in Figura 2. Inoltre, sono state ricavate le espressioni analitiche dei coefficienti che permettono di adattare i guadagni dei filtri alle variazioni della frequenza di rete. Si è anche previsto di implementare questi guadagni per mezzo di look up table (LUT) al fine di ridurre il carico computazionale richiesto per l’implementazione della GDSO. Sono state sperimentate due LUT di dimensioni diverse: una LUT estesa, formata da 101 elementi relativi all’intervallo di frequenza 45Hz-55Hz e spaziate tra loro di 0.1 Hz, e una LUT ridotta, formata da soli tre elementi relativi alle frequenze 45Hz, 50Hz e 55 Hz. L’errore introdotto dalla interpolazione nel caso della LUT estesa risulta praticamente trascurabile in tutto il range di frequenza considerato, mentre nel caso della LUT ridotta esso assume il valore massimo alle frequenze 47.5 Hz e 52.5 Hz. Lo schema complessivo della coppia GDSO-PLL è mostrato in Fig. 3.

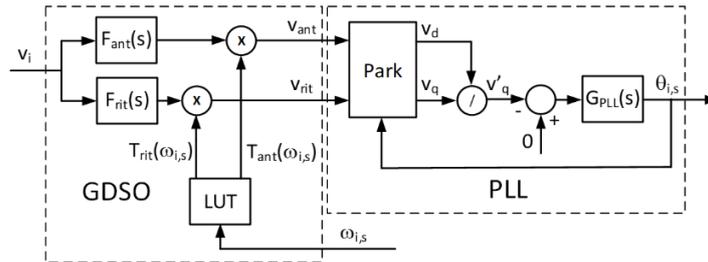


Figura 3. Schema a blocchi del sistema GSO-PLL.

2.2 Ottimizzazione del PLL

Nel corso del terzo anno è stato approfondito lo studio dell'anello di controllo del PLL, proponendo anche per esso una soluzione diversa da quelle presentate normalmente in letteratura e adattata al particolare metodo di GSO descritto nel capitolo precedente.

Dall'analisi di Figura 2 si nota che i filtri $F_{ant}(s)$ e $F_{rit}(s)$ non esercitano una azione passa basso per cui i segnali v_{ant} e v_{rit} da essi generati presentano all'incirca lo stesso contenuto armonico di v_i , leggermente amplificato in v_{ant} e leggermente attenuato in v_{rit} . Se v_i è distorto, le sue armoniche non vengono quindi filtrate efficacemente e influiscono sulla forma d'onda dei segnali v_d e v_q . Alcune simulazioni preliminari hanno mostrato che l'azione passa basso svolta dalla serie del controllore PI e dell'integratore mostrati in Figura 1 non è sempre sufficiente a ridurre ad un valore accettabile le oscillazioni sovrapposte alla stima della fase e, soprattutto, alla stima della frequenza. È da notare che quest'ultima, anche se non viene utilizzata per controllare la corrente assorbita da rete, è comunque necessaria per determinare l'entità della potenza attiva e reattiva che può essere scambiata con la rete quando lo SWV2H opera come un utente attivo.

Il controllore PI è stato quindi completato con un ulteriore polo in modo aumentare l'attenuazione delle alte frequenze nell'anello di controllo del PLL.

2.2.1 Progettazione del controllore

A seguito dell'inserimento del secondo polo la funzione di trasferimento del controllore diventa quindi

$$C_{PLL}(s) = K_{PLL} \frac{(1+s\tau_{z,PLL})}{s(1+s\tau_{p,PLL})} \quad (3)$$

La presenza di un secondo polo alla pulsazione $1/\tau_{p,PLL}$ nella funzione di trasferimento (3) offre un grado di libertà addizionale per il progetto del PLL rispetto alle soluzioni tradizionali. Uno di questi gradi di libertà viene utilizzato per ottimizzare il rapporto tra le costanti di tempo $\tau_{z,PLL}$ e $\tau_{p,PLL}$ in modo da sfruttare appieno l'effetto di anticipo di fase della coppia zero-polo per rendere più facile stabilizzare l'anello di controllo. A questo scopo, si impone la condizione che il massimo anticipo di fase si abbia in corrispondenza della frequenza di attraversamento della funzione di trasferimento (4), relativa all'anello a catena aperta.

$$G_{PLL}(s) = K_{PLL} \frac{(1+s\tau_{z,PLL})}{s^2(1+s\tau_{p,PLL})} \quad (4)$$

Indicando con ω_{cr} tale frequenza, la condizione sull'anticipo di fase si traduce nella relazione

$$\omega_{cr}^2 = \frac{1}{\tau_{z,PLL}\tau_{p,PLL}} \quad (5)$$

Per definizione, quando $\omega=\omega_{cr}$ il modulo di $G_{PLL}(j\omega)$ è uguale a 1 e quindi, dalla (4) si ottiene

$$K_{PLL}^2 \frac{(1 + \omega_{cr}^2 \tau_{z,PLL}^2)}{\omega_{cr}^4 (1 + \omega_{cr}^2 \tau_{p,PLL}^2)} = 1. \quad (6)$$

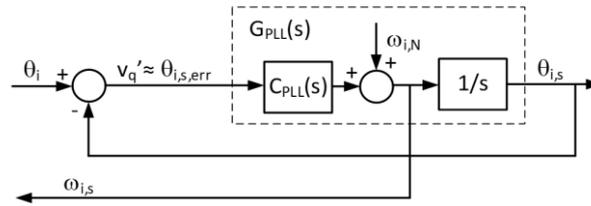


Figura 4. Diagramma a blocchi dell'anello di controllo di $\theta_{i,s}$.

Sostituendo la (5) nella (6), dopo alcune manipolazioni si ottiene la

$$K_{PLL}^2 \frac{\left(\frac{\tau_{p,PLL} + \tau_{z,PLL}}{\tau_{p,PLL}}\right) \tau_{z,PLL}^2 \tau_{p,PLL}^2}{\left(\frac{\tau_{p,PLL} + \tau_{z,PLL}}{\tau_{z,PLL}}\right)} = 1. \quad (7)$$

Quest'ultima, sfruttando ancora la (5), può essere semplificata in

$$K_{PLL} = \frac{\omega_{cr}}{\tau_{z,PLL}}, \quad (8)$$

che lega il guadagno K_{PLL} agli altri parametri della $G_{PLL}(s)$.

Vale la pena notare che a questo stadio del progetto del controllore la pulsazione di attraversamento ω_{cr} non è ancora stata fissata. Essa sarà determinata imponendo le condizioni descritte nei prossimi paragrafi. Tali condizioni sono state prese dal lavoro [1] e sono state adottate allo scopo di confrontare le prestazioni del metodo GDSO con quelle di altre coppie GSO-PLL riportate in [1] a parità di caratteristiche dell'anello di controllo.

La funzione di trasferimento a catena chiusa $W_{PLL}(s)$ tra la fase θ_i della tensione di rete e il suo valore stimato $\theta_{i,s}$ si ottiene dalla (4) e dallo schema a blocchi di Figura 4. Considerando la (5) e la (8) essa viene scritta nella forma

$$W_{PLL}(s) = \frac{\frac{\omega_{cr}}{\tau_{z,PLL}}(1 + s\tau_{z,PLL})}{s^3 \frac{1}{\omega_{cr}^2 \tau_{z,PLL}} + s^2 + s\omega_{cr} + \frac{\omega_{cr}}{\tau_{z,PLL}}} \quad (9)$$

e quindi come

$$W_{PLL}(s) = \frac{\frac{\omega_{cr}}{\tau_{z,PLL}}(1 + s\tau_{z,PLL})}{(s + \omega_{cr}) \left[s^2 \frac{1}{\omega_{cr}^2 \tau_{z,PLL}} + s \left(1 - \frac{1}{\omega_{cr} \tau_{z,PLL}} \right) + \frac{1}{\tau_{z,PLL}} \right]} \quad (10)$$

Il coefficiente di smorzamento della componente di secondo ordine del denominatore di $W_{PLL}(s)$ risulta

$$\xi_{PLL} = \frac{\omega_{cr} \tau_{z,PLL} - 1}{2}. \quad (11)$$

Esso non corrisponde al coefficiente di smorzamento reale di $W_{PLL}(s)$ perché l'effetto derivativo dello zero al numeratore causa una sovraelongazione nella risposta alla gradino di $W_{PLL}(s)$ anche quando ξ_{PLL} è maggiore di 1.

Tabella 1. Specifiche e parametri dell'anello di controllo

Specifiche		Parametri	
ξ_{PLL}	0.7	ω_{cr}	99.36 rad/s
ω_b	$2\pi \cdot 100$ rad/s	$\tau_{z,PLL}$	24.15 ms
G_B	-25dB	$\tau_{p,PLL}$	4.193 ms
		K_{PLL}	4113

Per imporre che $C_{PLL}(s)$ svolga una efficace azione filtrante si richiede che il modulo di $G_{PLL}(s)$ sia minore di 1 alla pulsazione angolare $\omega_b > \omega_{i,N}$, dove $\omega_{i,N}$ è la pulsazione angolare nominale di rete. Imponendo di avere $|G_{PLL}(j\omega_b)| = G_B < 1$, dalla (6) si ricava

$$K_{PLL}^2 \frac{(1 + \omega_b^2 \tau_{z,PLL}^2)}{\omega_b^4 \left(1 + \frac{\omega_b^2}{\omega_{cr}^2 \tau_{z,PLL}^2}\right)} = G_B^2. \quad (12)$$

opo alcune manipolazioni che includono l'uso della (8) e della (11), dalla (12) si ottiene

$$\Omega_{cr}^3 + \Omega_{cr}^2 \omega_b^2 (2\xi_{PLL} - 1)^2 - \Omega_{cr} G_B^2 \omega_b^4 (2\xi_{PLL} - 1)^2 - \omega_b^6 G_B^2 = 0 \quad (13)$$

dove $\Omega_{cr} \triangleq \omega_{cr}^2$.

L'applicazione della regola dei segni di Cartesio mostra che la (13) ha sempre una soluzione positiva cosicché è sempre possibile trovare ω_{cr} per qualsiasi combinazione di ξ_{PLL} , ω_b e G_B . Inoltre, dato che l'equazione (13) è di terzo grado nella variabile Ω_{cr} , sarebbe anche possibile esprimere ω_{cr} in forma analitica come funzione di ξ_{PLL} , ω_b e G_B .

Una volta determinata la pulsazione ω_{cr} , invertendo la (11) e la (5) e usando la (8) si determinano i parametri del controllore $C_{PLL}(s)$. Usando le specifiche riportate nella colonna di sinistra della Tabella 1 sono stati ottenuti i parametri del controllore riportati nella colonna di destra.

Come accennato in precedenza, impiegare il rapporto $v_q' = v_q/v_d$ invece che v_q assicura che a regime il guadagno dell'anello di controllo del PLL sia indipendente dalla ampiezza della tensione di rete. Tuttavia in transitorio è possibile che tale guadagno sia soggetto a delle variazioni il cui effetto deve essere considerato. A tale scopo è stato analizzato il luogo delle radici dell'anello di controllo del PLL ottenuto utilizzando i parametri riportati in Tabella 1. Come riportato nella Figura 5, il luogo ha tre rami che si dipartono dai poli di $G_{PLL}(s)$, indicati dalle croci blu. Un ramo si prolunga fino allo zero di $G_{PLL}(s)$, evidenziato dal cerchio rosso,

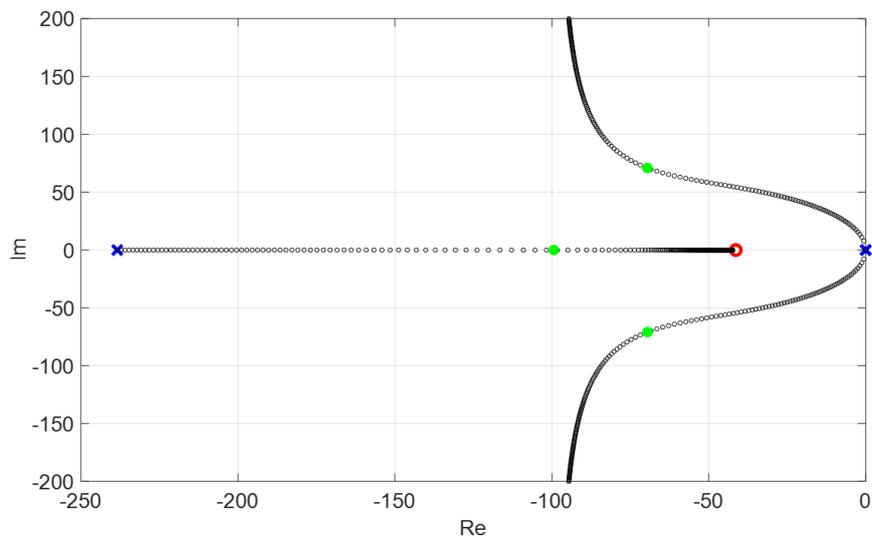


Figura 5. Luogo delle radici di $G_{PLL}(s)$.

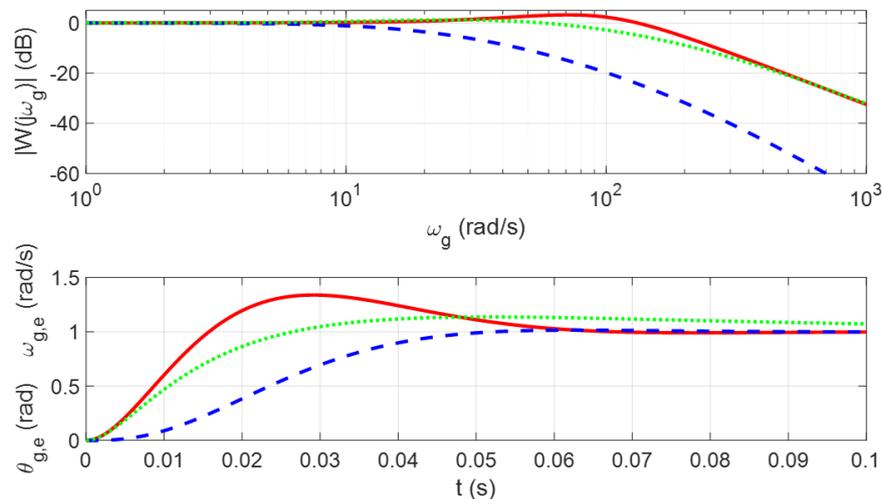


Figura 6. Diagramma di Bode (sopra) e risposta al gradino (sotto) di $W_{PLL}(j\omega_i)$ con $\xi_{PLL}=0.7$ (linea rossa continua), di $W_{PLL}(j\omega_i)$ con $\xi_{PLL}=2$ (linea verde punteggiata) e di $W'_{PLL}(j\omega_i)$ con $\xi_{PLL}=0.7$ (linea blu tratteggiata).

mentre gli altri due non sono limitati. I tre rami giacciono completamente nel semipiano sinistro del piano complesso per cui il sistema risulta sempre stabile. In condizioni di regime, quando il guadagno dato dal rapporto v_q/v_d è unitario, i poli si trovano nelle posizioni evidenziate dai cerchi verdi.

Il diagramma di Bode delle ampiezze della funzione di trasferimento a catena chiusa $W_{PLL}(s)$ è rappresentato con la linea rossa continua nella metà superiore di Figura 6 mentre la relativa risposta al gradino è mostrata nella metà inferiore della figura, sempre con la linea rossa continua. L'ampiezza di $W_{PLL}(j\omega_i)$ presenta una sovralongazione di più di 3dB alla pulsazione $\omega_i \approx 74$ rad/s che si riflette nella risposta al gradino con una sovralongazione di circa il 35%.

2.3 Stima della pulsazione di rete

Le prestazioni del PLL nel calcolare la stima $\omega_{i,s}$ della pulsazione di rete sono state analizzate ridisegnando lo schema a blocchi di Figura 4 nella forma riportata nella Figura 7, dove la variabile di uscita è $\omega_{i,s}$ e l'integratore è stato spostato nel cammino di retroazione. Un secondo integratore è stato posto all'ingresso dell'anello in modo da considerare ω_i come variabile di ingresso invece di θ_i .

Per ragioni che saranno spiegate nel prossimo paragrafo, la funzione di trasferimento del controllore $C_{PLL}(s)$ è stata spezzata in due stadi come mostrato nella (14).

$$C_{PLL}(s) = C_{PLL}'(s)(1 + s\tau_{z,PLL}), \quad (14)$$

dove

$$C_{PLL}'(s) = K_{PLL} \frac{1}{s(1+s\tau_{p,PLL})}, \quad (15)$$

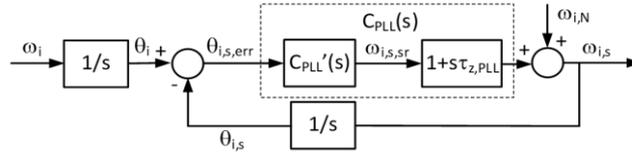


Figura 7. Schema a blocchi dell'anello di controllo di $\omega_{i,s}$ derivato da Figura 4.

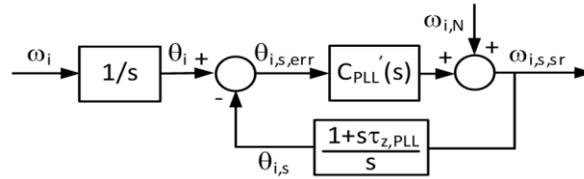


Figura 8. Schema a blocchi dell'anello di controllo di $\omega_{i,s,sr}$ con lo zero nel cammino di retroazione.

Dall'analisi della Figura 7 deriva che la funzione di trasferimento tra ω_i e $\omega_{i,s}$ è la stessa che si ha tra θ_i e $\theta_{i,s}$ e che, di conseguenza, il suo diagramma di Bode delle ampiezze e la sua risposta al gradino sono gli stessi riportati con la linea rossa continua in Figura 6.

La sovraelongazione nella risposta al gradino di $W_{PLL}(j\omega_i)$ può essere ridotta aumentando il coefficiente di smorzamento ξ_{PLL} . Per esempio, ponendo $\xi_{PLL}=2$, si ottengono i grafici riportati in Figura 6 con la linea verde punteggiata. Nonostante l'elevato valore del coefficiente di smorzamento, la risposta al gradino presenta ancora una sovraelongazione superiore al 13% ed è ancora lontana dal raggiungere lo stato di regime nell'intervallo di tempo mostrato nella figura. La presenza della sovraelongazione può essere spiegata ipotizzando che ω_i sia soggetto ad un incremento improvviso. Negli istanti immediatamente successivi alla variazione $\theta_{i,s}$ sarà in ritardo rispetto a θ_i e quindi l'unico modo per $\theta_{i,s}$ di compensare l'errore è che per un certo intervallo di tempo $\omega_{i,s}$ sia superiore a ω_i . Ciò significa che la risposta di $\omega_{i,s}$ al gradino di ω_i presenta una sovraelongazione e che quest'ultima non può essere evitata se si vuole annullare l'errore di stima della fase. Dato che la risposta di $\theta_{i,s}$ al gradino è la stessa di $\omega_{i,s}$, anche la fase stimata presenta una inevitabile sovraelongazione.

Una soluzione per evitare la sovraelongazione nella stima della pulsazione, riportate per esempio in [2], consiste nell'utilizzare $\omega_{i,s,sr}$, cioè la "stima della pulsazione ω_i con sovraelongazione ridotta" presente all'uscita del blocco $C_{PLL}'(s)$ di Figura 8, invece di $\omega_{i,s}$. Il diagramma di Figura 8 è stato ottenuto da quello di Figura 7 considerando $\omega_{i,s,sr}$ come variabile di uscita e spostando lo zero di $C_{PLL}(s)$ nel cammino di retroazione. Considerando quest'ultima modifica l'approccio qui descritto è stato denominato ZCR, cioè "zero nel cammino di retroazione".

Con lo schema ZCR le funzioni di trasferimento a catena aperta e a catena chiusa del PLL sono ancora date rispettivamente dalla (4) e dalla (10) e di conseguenza lo zero, i poli e le caratteristiche di stabilità di questo anello non vengono modificate. Tuttavia, con lo schema ZCR la funzione di trasferimento tra ω_i e $\omega_{i,s,sr}$ cambia rispetto alla (9) e diventa

$$W'_{PLL}(s) = \frac{\frac{\omega_{cr}}{\tau_{z,PLL}}}{s^3 \frac{1}{\omega_{cr}^2 \tau_{z,PLL}} + s^2 + s\omega_{cr} + \frac{\omega_{cr}}{\tau_{z,PLL}}}. \quad (16)$$

Chiaramente il denominatore rimane lo stesso, ma l'effetto derivativo dello zero al numeratore scompare. Di conseguenza, in accordo con quanto mostrato dal grafico in line blu tratteggiata di Figura 6, l'effetto passa basso ad alta frequenza diviene più forte, infatti la pendenza del diagramma delle ampiezze aumenta da -40 dB/dec a -60 dB/dec, e la sovraelongazione quasi scompare senza che aumenti il tempo necessario a raggiungere la condizione di regime.

Usando lo schema ZCR lo schema a blocchi complessivo del PLL risulta come in Figura 9, ottenuta dalla Figura 4 scomponendo $C_{PLL}(s)$ secondo la (14) e considerando $\omega_{i,s,sr}$ come uscita aggiuntiva oltre a $\theta_{i,s}$. Nella implementazione del PLL $\omega_{i,s}$ può essere utilizzato al posto di $\omega_{i,s}$ anche per l'aggiustamento dei guadagni T_{ant} e T_{rit} dei filtri che generano v_{ant} e v_{rit} .

2.4 Discretizzazione e simulazione del PLL

Per codificare nel firmware di un microcontrollore i filtri $F_{ant}(s)$ e $F_{rit}(s)$ che realizzano la GDSO è necessario discretizzarli. Applicando il metodo di Tustin a $F_{ant}(s)$ si ottiene la seguente espressione

$$F_{ant}(z) = G_{ant,N} \frac{\left(1 + \frac{2\tau_{z,ant}}{T_s}\right) + z^{-1} \left(1 - \frac{2\tau_{z,ant}}{T_s}\right)}{\left(1 + \frac{2\tau_{p,ant}}{T_s}\right) + z^{-1} \left(1 - \frac{2\tau_{p,ant}}{T_s}\right)} \quad (17)$$

La corrispondente espressione per $F_{rit}(s)$ è la stessa purché i coefficienti siano cambiati secondo quanto specificato nella (18).

$$\tau_{z,rit} = \tau_{p,ant}, \quad \tau_{p,rit} = \tau_{z,ant}, \quad G_{rit,N} = \frac{1}{G_{ant,N}} \quad (18)$$

La discretizzazione di $C_{PLL}'(s)$ dato dalla (15) porta all'espressione

$$C_{PLL}'(z) = K_p \frac{T}{2} \frac{(1+z^{-1})^2}{\left(1 + \frac{2\tau_{p,PLL}}{T}\right) + z^{-1} \left(-\frac{4\tau_{p,PLL}}{T}\right) + z^{-2} \left(-1 + \frac{2\tau_{p,PLL}}{T}\right)} \quad (19)$$

Essa può essere scomposta in due funzioni di trasferimento discrete come in

$$C_{PLL}'(z) = \frac{(1+z^{-1})}{2} C_{PLL}''(z), \quad (20)$$

con

$$C_{PLL}''(z) = K_p T \frac{(1+z^{-1})}{\left(1 + \frac{2\tau_{p,PLL}}{T}\right) + z^{-1} \left(-\frac{4\tau_{p,PLL}}{T}\right) + z^{-2} \left(-1 + \frac{2\tau_{p,PLL}}{T}\right)} \quad (21)$$

Dalla espressione (20) si nota che l'uscita di $C_{PLL}'(z)$ è costituita dal valore medio di due successivi campioni dell'uscita di $C_{PLL}''(z)$. In base a questa considerazione, è stato fatto un tentativo di semplificare l'implementazione del PLL trascurando il calcolo del valore medio e inserendo nel firmware del microcontrollore $C_{PLL}''(z)$ invece di $C_{PLL}'(z)$.

La versione discretizzata di $(1+s\tau_{z,PLL})/s$ risulta

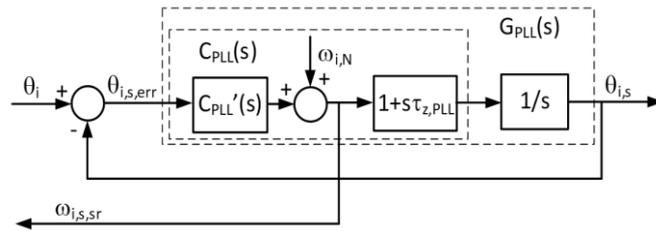


Figura 9. Schema a blocchi complessivo dell'anello di controllo del PLL con ZCR.

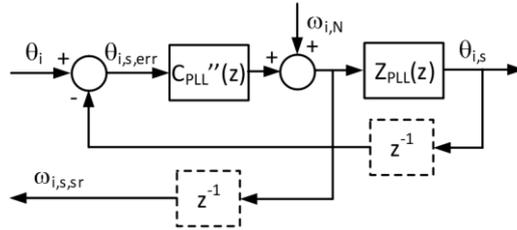


Figura 10. Schema a blocchi a tempo discreto del PLL con ZCR.

$$Z_{PLL}(z) = \frac{T \left(1 + \frac{2\tau_{z,PLL}}{T} \right) + z^{-1} \left(1 - \frac{2\tau_{z,PLL}}{T} \right)}{2(1-z^{-1})} \quad (22)$$

Partendo dalla Figura 9 e sostituendo $C_{PLL}'(s)$ e $(1+s\tau_{z,PLL})/s$ rispettivamente con $C_{PLL}''(z)$ e $Z_{PLL}(z)$ si ottiene lo schema a blocchi a tempo discreto del PLL mostrato nella Figura 10.

Analizzando le Figure 3, 9 e 10 e le espressioni (21) e (22) si nota che c'è una connessione diretta tra l'uscita di $Z_{PLL}(z)$ e l'ingresso di $C_{PLL}''(z)$ e fra l'uscita di $C_{PLL}''(z)$ e il suo ingresso tramite la LUT e la trasformazione di Park. Queste connessioni non possono essere implementate nel firmware di controllo e quindi sono stati inseriti dei ritardi pari ad un periodo di campionamento in ognuno degli anelli sopra citati. Questa operazione è rappresentata in Figura 10 dal simbolo z^{-1} posto all'interno dei rettangoli tratteggiati. Data la frequenza di taglio relativamente bassa dell'anello di controllo del PLL, essa risulta di 16 Hz, e considerando che il periodo di campionamento della routine di controllo potrebbe essere intorno ai $100\mu s$, gli effetti dei blocchi di ritardo possono essere trascurati e la loro presenza non richiede di riprogettare il controllore $C_{PLL}(s)$.

Le prestazioni del PLL a tempo discreto sono state inizialmente verificate per mezzo di simulazioni sviluppate nell'ambiente Matlab-Simulink. In particolare, è stata studiata la risposta del PLL a variazioni improvvise della frequenza di rete f_i in tre diverse condizioni: disabilitando l'aggiustamento dei guadagni dei filtri $F_{ant}(s)$ e $F_{rit}(s)$, effettuando l'aggiustamento con la LUT ridotta, ed effettuando l'aggiustamento con la LUT estesa. Al fine considerare le condizioni di lavoro più gravose, la frequenza di rete iniziale è stata posta a 47.5 Hz e quella finale a 52.5 Hz in modo da far operare la LUT ridotta nelle condizioni di massimo errore.

Nella Tabella 2 sono riportati alcuni risultati ottenuti dalle simulazioni: il tempo di assestamento delle stime di frequenza $f_{i,s}$ e $f_{i,s,sr}$ all'interno dell'intervallo $f_i \cdot (1 \pm 0.005)$, la loro sovralongazione e l'ampiezza picco-picco delle oscillazioni in condizioni di regime. Nelle ultime due righe della tabella sono riportati il massimo errore di stima della fase e il relativo errore a regime. L'analisi della tabella conferma che il metodo GDSO accoppiato al PLL con ZCR opera correttamente e che, nell'intervallo di frequenza considerato, riesce a stimare correttamente la fase θ_i anche quando i guadagni non vengono aggiustati. Tuttavia è necessario effettuare l'aggiustamento per ridurre l'ampiezza delle oscillazioni della stima di frequenza. Questa operazione può essere effettuata anche con la LUT ridotta senza degradare sensibilmente le prestazioni del sistema, soprattutto se come stima di frequenza viene usata $f_{i,s,sr}$ dato che il metodo ZCR si rivela molto efficace nel ridurre le oscillazioni rispetto a quelle di $f_{i,s}$.

Tabella 2. Risultati delle simulazioni

	Senza LUT	LUT ridotta	LUT estesa
$f_{i,s}$ Tempo di assestamento (ms)	55.8	50.6	50.8
$f_{i,s,sr}$ Tempo di assestamento (ms)	39.6	39.3	39.7
$f_{i,s}$ Sovraelongazione (Hz)	1.0	0.9	0.9
$f_{i,s,sr}$ Sovraelongazione (Hz)	0.07	0.03	0.06
$f_{i,s}$ Oscillazione picco-picco (mHz)	392	18.0	6.8
$f_{i,s}$ Oscillazione picco-picco (mHz)	24	1.1	0.4
$\theta_{i,err}$ Massimo (°)	16.8	8.7	8.7
$\theta_{i,err}$ Regime (°)	0.0	0.0	0.0

2.5 Implementazione e prove preliminari

L'algoritmo per la GDSO e l'anello di controllo del PLL sono stati implementati nel firmware di un microprocessore Texas TMS320F28335. Esso ha un clock di 150 MHz e esegue operazioni in virgola mobile a 32 bit [4]. Sono inoltre disponibili delle librerie che contengono le routine matematiche per le operazioni a virgola mobile a 64 bit.

Oltre alle due LUT usate per aggiustare i guadagni dei filtri $F_{ant}(s)$ e $F_{rit}(s)$ e le relative routine di interpolazione, nella memoria del microcontrollore è stata immagazzinata una ulteriore LUT per il calcolo delle funzioni seno e coseno impiegate nell'effettuare la trasformazione di Park. Inoltre, una sezione di memoria è stata organizzata in quattro vettori, ognuno formato da 2048 elementi, nei quali sono stati memorizzati i campioni di varie grandezze inerenti al funzionamento della GDSO e del PLL. I campioni sono stati trasferiti ad un PC per mezzo della connessione USB di cui è dotata la scheda di sviluppo del microprocessore e sono stati successivamente processati per verificare le prestazioni della coppia GDSO-PLL e per tracciare i grafici riportati nei paragrafi seguenti.

Inizialmente sono stati effettuati alcuni esperimenti per valutare l'influenza della risoluzione con cui il microprocessore esegue i calcoli e della dimensione delle LUT usate per aggiustare i guadagni dei filtri. Al fine di eliminare gli effetti dovuti al condizionamento, alla acquisizione e alla conversione della tensione di rete, gli esperimenti sono stati effettuati generando i campioni di v_i per mezzo di una routine inserita nel firmware del microprocessore, eseguita insieme a quelle che implementano la GDSO e il PLL. Più precisamente, è stato implementato un contatore a rampa per simulare la fase della tensione di rete e quindi, per mezzo della stessa LUT impiegata per il calcolo della funzione seno nella trasformazione di Park, è stata ottenuta la tensione v_i . In questa prima fase degli esperimenti, la coppia GDSO-PLL è stata sperimentata in presenza di variazioni improvvise della frequenza di rete. Esse sono state simulate variando il passo di incremento del contatore a rampa.

Il primo esperimento è stato condotto nelle migliori condizioni possibili, cioè eseguendo i calcoli con una risoluzione di 64 bit e usando la LUT estesa. Le risposte della coppia GDSO-PLL in presenza di due salti di frequenza successive, il primo da 47.5 Hz a 52.5 Hz e il secondo da 52.5 Hz a 47.5 Hz sono riportati in Figura 11. La metà superiore della figura riporta le due frequenze stimate $f_{i,s}$ e $f_{i,s,sr}$, rappresentando la prima con la linea rossa tratteggiata e la seconda con la linea continua blu. Come era prevedibile, $f_{i,s,sr}$ presenta un andamento molto più regolare di $f_{i,s}$ e raggiunge il valore di regime più o meno nello stesso tempo. La metà inferiore della figura mostra invece l'errore di fase $\theta_{i,err}$; esso raggiunge il valore massimo di circa 17°.

Per analizzare meglio la differenza di comportamento tra $f_{i,s}$ e $f_{i,s,sr}$, nella metà superiore di Figura 12 è riportato un ingrandimento della Figura 11 relativo ad un intervallo di tempo precedente al primo salto di frequenza. Si può notare come $f_{i,s}$ sia soggetta ad una oscillazione con ampiezza picco-picco di circa 8mHz

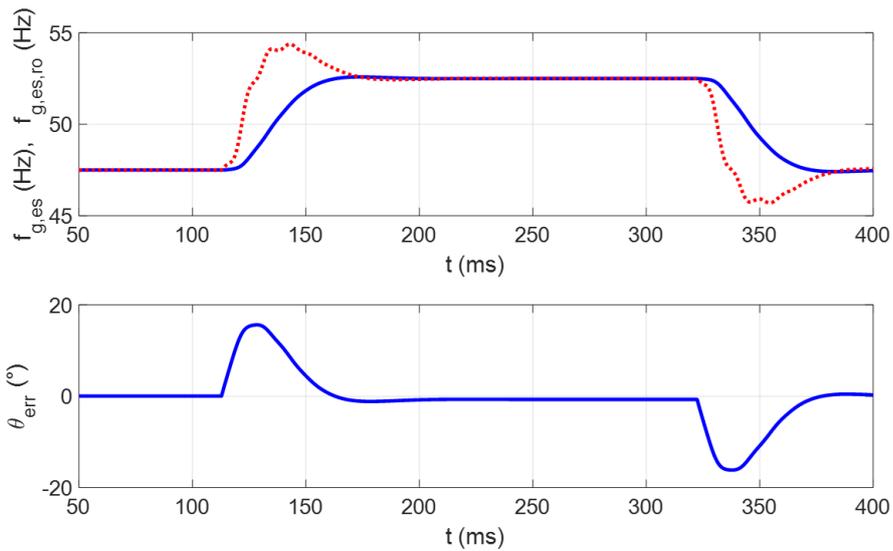


Figura 11. Risposta a gradini di frequenza con risoluzione di 64 bit e LUT estesa: $f_{i,s}$ (linea rossa tratteggiata), $f_{i,s,sr}$ (linea blu continua) e $\theta_{i,s}$ (linea blu continua).

mentre l'ampiezza dell'oscillazione sovrapposta a $f_{i,s,sr}$ è circa dieci volte inferiore. Gli stessi valori sono stati riscontrati anche considerando il funzionamento a regime nell'intervallo di tempo compreso tra i due salti di frequenza. In entrambi i casi l'errore di fase a regime è praticamente nullo ma oscilla con una ampiezza picco-picco di 0.002° . La metà inferiore di Figura 12 mostra i risultati ottenuti ripetendo lo stesso esperimento ma usando la LUT ridotta. Alla frequenza di 47.5Hz essa opera nelle condizioni peggiori e infatti l'ampiezza picco-picco delle oscillazioni sovrapposte a $f_{i,s}$ e $f_{i,s,or}$ aumenta rispettivamente fino a 22 mHz e 1.8mH. Il corrispondente errore di fase è ancora nullo, ma la sua oscillazione raggiunge una ampiezza picco-picco di circa 0.003°

Il tempo necessario al microprocessore ad eseguire il firmware che implementa la coppia GDSO-PLL con la risoluzione di 64 bit è risultato di quasi $100 \mu s$, troppo lungo per essere accettabile in una applicazione realistica. Di conseguenza è stato verificato se le prestazioni del sistema implementato a 32 bit e usando la LUT ridotta fossero accettabili. I risultati ottenuti ripetendo il medesimo esperimento in queste condizioni non sono distinguibili da quelli mostrati in Figura 11 qualora fossero rappresentati usando la medesima scala. Tuttavia, operando il medesimo ingrandimento di Figura 12 si possono riconoscere alcune differenze, come mostrato in Figura 13. La metà superiore di quest'ultima si riferisce alla condizione di regime a 47.5 Hz e va confrontata con la metà inferiore di Figura 12. Con la risoluzione a 32 bit le oscillazioni sovrapposte a $f_{i,s}$ diventano quasi triangolari invece che sinusoidali e la loro ampiezza picco-picco aumenta fino a 50 mHz. Invece, le oscillazioni sovrapposte a $f_{i,s,sr}$ rimangono sinusoidali anche se la loro ampiezza-picco-picco raggiunge i 5 mHz. La metà inferiore della Figura 13 si riferisce alla condizione a regime a 52.5 Hz e mostra che il comportamento di $f_{i,e}$ e $f_{i,s,sr}$ è praticamente uguale a quello riscontrato alla frequenza inferiore.

Il tempo di esecuzione dell'algoritmo con risoluzione a 32 bit si reduce a $5.7 \mu s$ mentre la precisione sulla stima della frequenza rimane dell'ordine dei mHz per cui gli esperimenti seguenti sono stati tutti con questa risoluzione e usando la LUT ridotta al fine di diminuire anche l'ammontare della memoria impegnata per implementare la coppia GDSO-PLL.

2.6 Risultati sperimentali

Gli esperimenti conclusivi sono consistiti in nove prove effettuate per quanto possibile nelle stesse condizioni riportate nei lavori [1] e [3] in modo da poter confrontare i le prestazioni della coppia GDSO-PLL qui studiato con quelle di undici diverse coppia GSO-PLL considerati in quegli articoli. Nei lavori citati, gli algoritmi per la GSO e per il PLL sono stati implementati con una risoluzione di 64 bit e un tempo di campionamento di $100 \mu s$. Nel nostro caso il tempo di campionamento è stato mantenuto ma gli algoritmi sono implementati con una risoluzione di 32 bit. Come visto nel capitolo precedente, questa limitazione

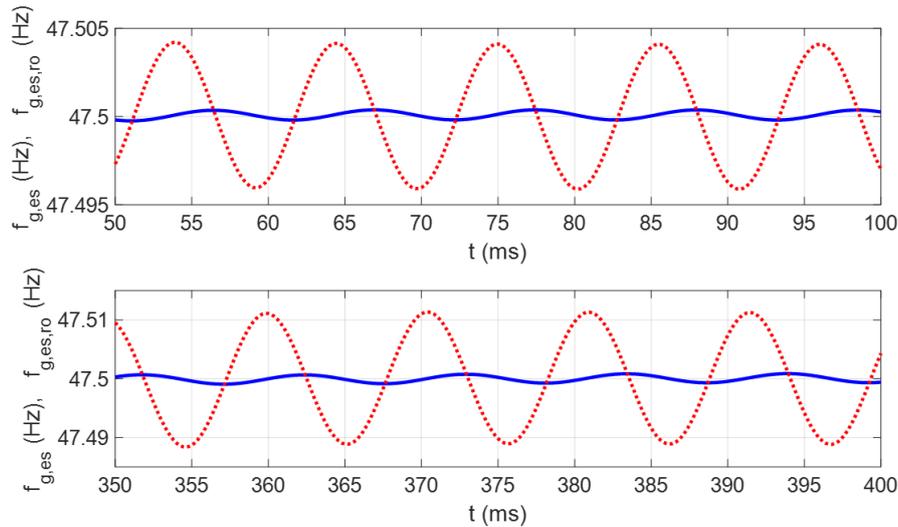


Figura 12. Ingrandimento della risposta a gradini di frequenza con risoluzione a 64 bit e LUT estesa (sopra) o LUT ridotta (sotto): $f_{i,s}$ (linea rossa tratteggiata) e $f_{i,s,sr}$ (linea blu continua).

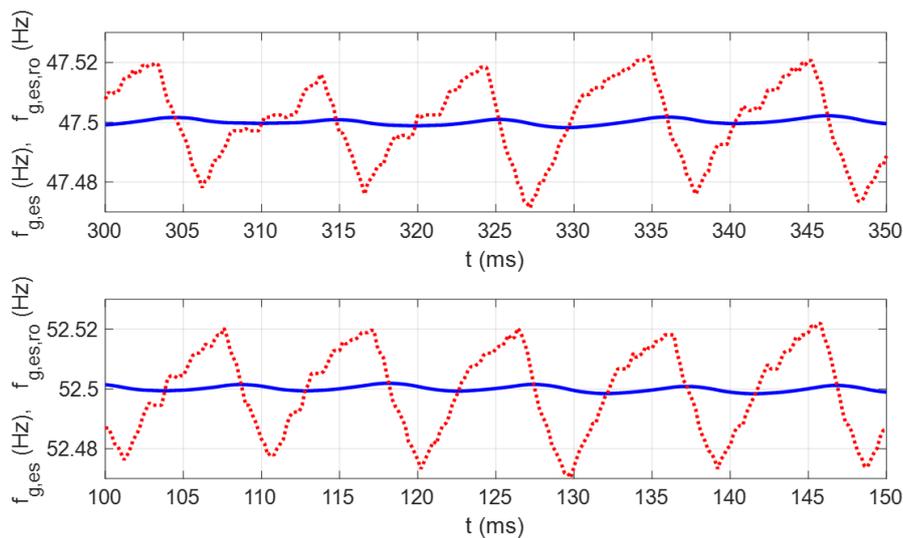


Figura 13. Ingrandimento della risposta a gradini di frequenza con risoluzione a 32 bit e LUT ridotta: $f_{i,s}$ (linea rossa tratteggiata) e $f_{i,s,sr}$ (linea blu continua).

degrada le prestazioni della coppia GDSO-PLL, tuttavia, come sarà mostrato nel seguito, i risultati ottenuti dagli esperimenti sono comparabili e in alcuni casi migliori di quelli riportati negli articoli citati.

In questi test il segnale v_i è stato acquisito per mezzo del convertitore analogico digitale di cui è dotato il microcontrollore per operare nelle medesime condizioni che si incontrerebbero in una applicazione reale, dove v_i è generato dal circuito che trasduce la tensione di rete. La funzione di questo circuito è stata riprodotta generando v_i per mezzo del un convertitore digitale-analogico a 12 bit di Programmable System on Chip (PSoC) 5LP prodotto dalla Cypress [5]. La scheda di sviluppo del microcontrollore che implementa la GDSO e il PLL e quella del PSoC con i relativi collegamenti sono mostrate nella Figura 14.

IL PSoC è stato programmato per comandare il proprio convertitore digitale analogico con una frequenza di aggiornamento di 10 kHz e per generare un segnale sinusoidale con un offset nominale di 1.5 V e una ampiezza nominale di 1.5 V, compatibile con la massima tensione di ingresso del convertitore analogico digitale che è di 3 V. All'uscita del convertitore digitale analogico è stato collegato un filtro passa basso, dimensionato secondo le indicazione del data sheet del PSoC, per smussare le discontinuità del segnale v_i dovute alla discretizzazione. Il filtro è costituito dal condensatore azzurro connesso alla scheda Cypress visibile in Figura 14. La frequenza, l'ampiezza, l'offset, la fase istantanea e il contenuto armonico di v_i sono

stati controllati indipendentemente per verificare il funzionamento della coppia GDSO-PLL in differenti condizioni. La forma d'onda e la frequenza del segnale così ottenuto sono state verificate per mezzo di un oscilloscopio digitale Tektronix TDS 5034 riscontrando che effettivamente v_i è sinusoidale e che l'accuratezza la sua frequenza presenta una discrepanza di circa ± 0.02 Hz rispetto a quella impostata. La Figura 15 riporta

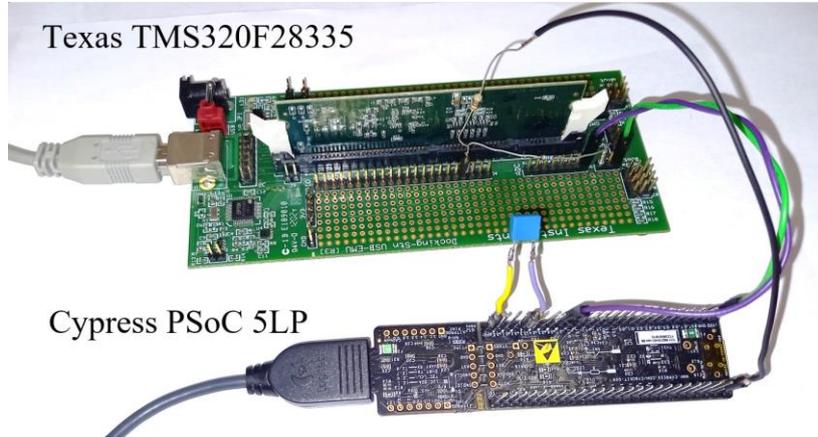


Figura14. Sistema sperimentale.

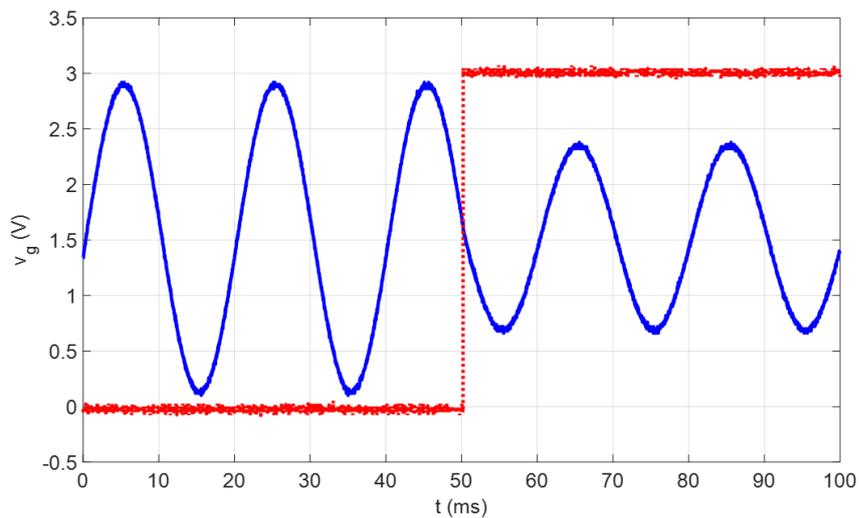


Figura 15. Segnali generate dal PSoC e acquisiti dall'oscilloscopio durante un esperimento relativa alla variazione di ampiezza di v_i .

un esempio di forma d'onda acquisita con l'oscilloscopio durante un gradino di ampiezza. Il segnale ausiliario a gradino rappresentato dalla linea rossa tratteggiata è generato da una uscita digitale del PSoC sincronizzata con le variazioni imposte a v_i e viene utilizzato per facilitare l'elaborazione dei campioni immagazzinati nella memoria del microcontrollore.

Il primo esperimento è stato effettuato nelle stesse condizioni a cui si riferisce la Figura 11, cioè imponendo a v_i una variazione a gradino della frequenza da 47.5 Hz to 52.5 Hz e poi da 52.5 Hz a 47.5 Hz. I campioni di v_i acquisiti dal microcontrollore sono rappresentati nella metà superiore di Figura 16. In questa figura e in tutte le prossime figure relative alla ampiezza di v_i , è stata operata una normalizzazione in modo da limitare a 1 la massima tensione elaborata del microprocessore. La metà inferiore della figura riporta un ingrandimento di v_i e il grafico di v_d , che corrisponde alla stima $V_{i,s}$ della ampiezza di v_i effettuata dal PLL. La figura mostra che v_d è soggetto ad una oscillazione persistente caratterizzata da una ampiezza pari a circa 1.6% dell'ampiezza nominale $V_{i,N}$ di v_i . Almeno in parte l'oscillazione è dovuta all'uso della LUT ridotta che, con i valori di frequenza selezionati per questa prova, opera nelle condizioni peggiori. Il massimo errore nella stima di V_i è di circa il 10% di $V_{i,N}$ ed è raggiunto alla prima sovralongazione di v_d dopo il secondo gradino di frequenza. Dopo entrambi i gradini, v_d raggiunge lo stato di regime in circa 44 ms.

Le stime di frequenza $f_{i,s}$ e $f_{i,s,sr}$ e l'errore di fase relative a questa prova sono riportate nella Figura 17. Il loro andamento generale è lo stesso di quello mostrato nella Figura 11 del capitolo precedente, con $f_{i,s}$ e $f_{i,s,sr}$ che presentano una sovralongazione massima rispettivamente di circa 1.0 Hz e 0.01 Hz. Il massimo errore

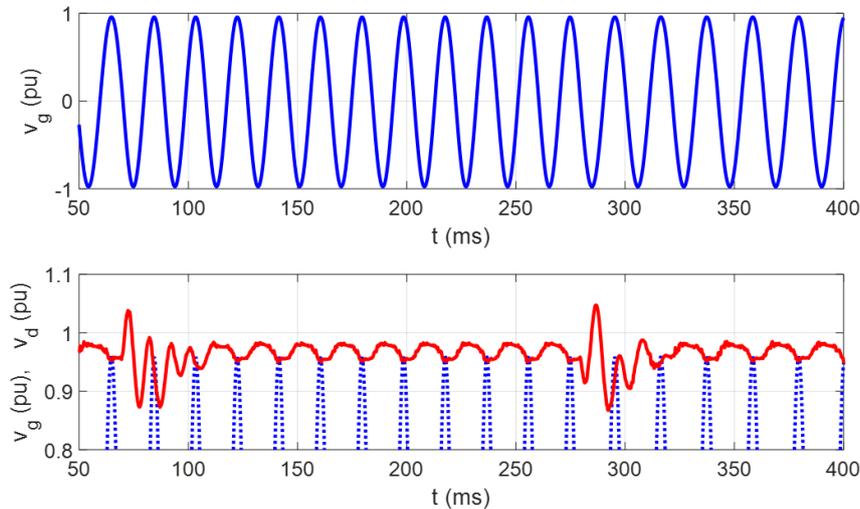


Figura 16. Risposta sperimentale a gradini di frequenza: v_i (linea blu continua e tratteggiata) e v_d (linea rossa continua).

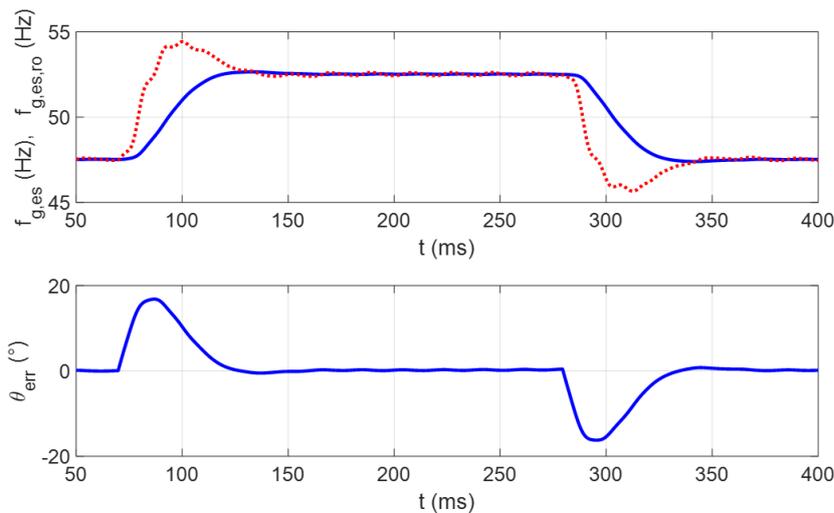


Figura 17. Risposta sperimentale a gradini di frequenza: $f_{i,s}$ (linea rossa tratteggiata), $f_{i,s,sr}$ (linea blu continua) e θ_{err} (linea blu continua).

di fase risulta di circa 16.8° . Una analisi più accurata della Figura 17 mostra che rispetto alla Figura 11 l'oscillazione sovrapposta a $f_{i,s}$ è aumentata a 0.7 Hz mentre quella relativa a $f_{i,s,sr}$ arriva a 12 mHz. Entrambe le frequenze stimate sono circa 0.02 Hz superiori a quella impostata sul PSoC, ma questa differenza cade nel campo di tolleranza della frequenza generata da quest'ultimo. A regime, l'errore di fase oscilla con una ampiezza di 0.1° . Questo errore tuttavia non è significativo perché la fase effettiva di v_i varia di circa 1.8° durante un periodo di campionamento quando f_i assume il valore nominale.

Nel secondo esperimento il segnale v_i è stata sottoposto a due variazioni a gradino di ampiezza, la prima da $V_{i,N}$ a $0.6 V_{i,N}$ e poi, al contrario, da $0.6 V_{i,n}$ a $V_{i,N}$. I corrispondenti andamenti di v_i e v_d , delle stime di frequenza e dell'errore di fase sono riportati nelle Figure 18 e 19.

Nonostante in questo caso il sistema operi alla frequenza nominale, sono ancora presenti delle oscillazioni sovrapposte a v_d , anche se di ampiezza leggermente ridotta. Quando v_i assume l'ampiezza nominale, le oscillazioni di v_d hanno una ampiezza pari a 1.4% di $V_{i,N}$ mentre quando V_i è pari a $0.6 V_{i,N}$ l'ampiezza delle oscillazioni diminuisce a 1.2% di V_i , corrispondente all'0.7% di $V_{i,N}$. La risposta di v_d al gradino di ampiezza

da $0.6 V_{i,N}$ a $V_{i,N}$ mostra una sovralongazione di circa il 13% di $V_{i,N}$ mentre la risposta al gradino in direzione opposta ha una sovralongazione di circa 11% di $V_{i,N}$. Le risposte ai due gradini raggiungono lo stato di regime rispettivamente in circa 30.8 ms e 23.2 ms.

Considerando la Figura 19, si nota che entrambe le stime di frequenza e l'errore di fase presentano dei transitori in concomitanza con le variazioni di ampiezza, ma a regime esse presentano lo stesso

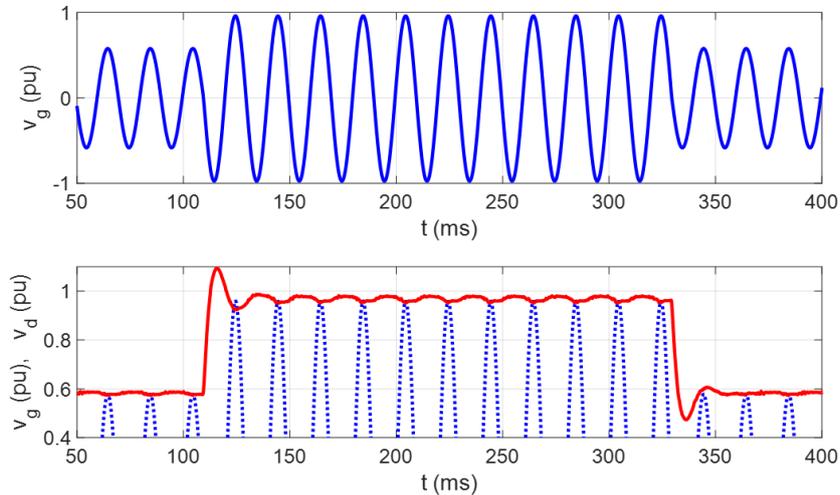


Figura 18. Risposta sperimentale a gradini di ampiezza: v_i (linea blu continua e tratteggiata) e v_d (linea rossa continua).

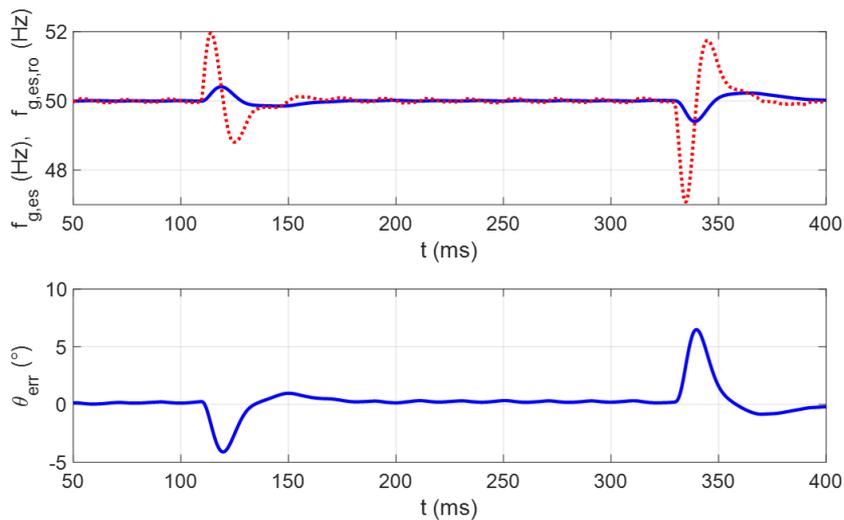


Figura 19. Risposta sperimentale a gradini di ampiezza: $f_{i,s}$ (linea rossa tratteggiata), $f_{i,s,sr}$ (linea blu continua) e θ_{err} (linea blu continua).

comportamento sia con $V_i = V_{i,N}$ che con $V_i = 0.6 V_{i,N}$. Il massimo errore nella stima di frequenza può essere valutato in 2.9 Hz per $f_{i,s}$ e in 0.6 Hz per $f_{i,s,sr}$; esso compare in corrispondenza con il gradino discendente di V_i . In presenza del gradino ascendente di V_i i due errori di stima della frequenza risultano rispettivamente di 1.9 Hz e 0.4 Hz. Il Massimo errore nella stima della fase è di 6.5° al gradino discendente e di 4.1° al gradino ascendente.

Il terzo esperimento prevede di applicare a v_i un offset pari a $0.05 V_{i,N}$ e quindi di rimuoverlo. I risultati ottenuti in questo caso sono riportati nelle Figure 20 e 21. L'applicazione dell'offset causa un incremento dell'ampiezza delle oscillazioni di v_d che passa da circa 1.6% di $V_{i,N}$ al 11.4% di $V_{i,N}$. Mentre l'offset è applicato, l'ampiezza delle oscillazioni di $f_{i,s}$ aumenta fino a 1.33 Hz mentre quella di $f_{i,s,sr}$ raggiunge 0.18 Hz. In entrambi i casi questi valori sono mantenuti fino a quando l'offset viene rimosso. Il valore medio delle stime di frequenza non viene alterato dall'offset e in questo esperimento risulta di 50.01 Hz. L'errore di fase causato

dall'applicazione dell'offset raggiunge 1.7° e oscilla con ampiezza costante mentre l'offset è presente. Dopo la rimozione dell'offset, v_d raggiunge lo stato di regime in circa 20 ms mentre $f_{i,s}$, $f_{i,s,sr}$ e θ_{err} si stabilizzano rispettivamente in 31 ms, 51 ms e 45 ms.

Il quarto esperimento è consistito nell'applicare un ritardo di 90° alla fase di v_i e poi un anticipo di uguale ampiezza. I risultati ottenuti sono riportati nelle Figure 22 e 23. La prima figura mostra che v_d reagisce ai due gradini di fase come se l'ampiezza di v_i fosse improvvisamente diminuita e poi aumentata. Il massimo errore di v_d rispetto a V_i è di circa 129% di $V_{i,N}$ e si verifica in corrispondenza del primo gradino di fase. La

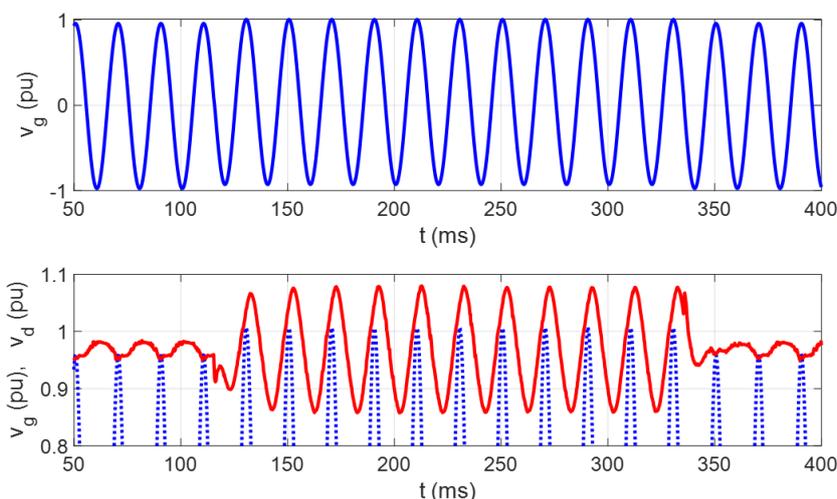


Figura 20. Risposta sperimentale a gradini di offset: v_i (linea blu continua e tratteggiata) e v_d (linea rossa continua).

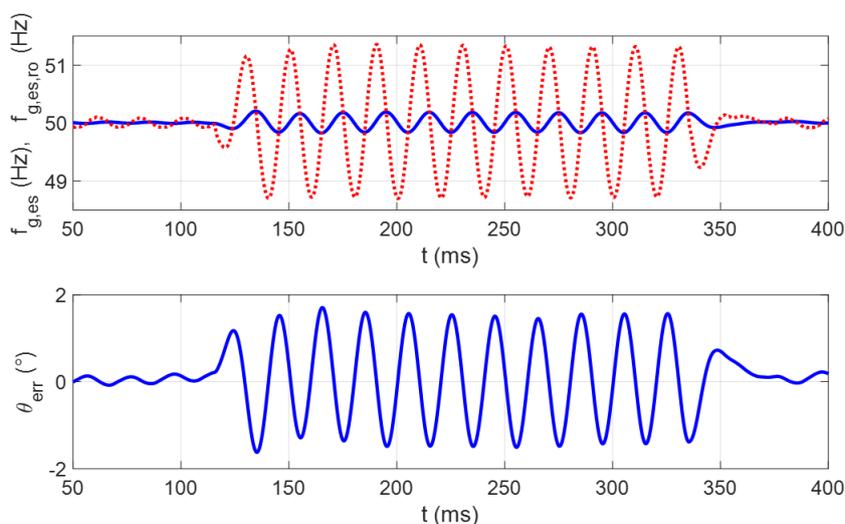


Figura 21. Risposta sperimentale a gradini di offset: $f_{i,s}$ (linea rossa tratteggiata), $f_{i,s,sr}$ (linea blu continua) e θ_{err} (linea blu continua).

sovralongazione successiva al secondo gradino origina un errore quasi uguale, circa pari al 127% di $V_{i,N}$ mentre l'errore di fase è circa 87% di $V_{i,N}$. Lo stato di regime dopo i due gradini viene raggiunto rispettivamente in 59 ms e 64 ms. Come v_d , anche le due stime di frequenza mostrano una notevole reazione ai gradini di fase. Per $f_{i,s}$ il massimo errore è di quasi 20 Hz e la sua massima sovralongazione dopo aver recuperate il valore corretto è di circa 3.4 Hz. Il massimo errore per $f_{i,s,sr}$ è di circa 8 Hz mentre la sovralongazione è di 0.3 Hz. Il Massimo errore di fase è ovviamente 90° e la sua sovralongazione massima è di 30° .

L'ultimo esperimento è stato effettuato sommando a v_i una terza e una quinta armonica con ampiezza $0.05 V_{i,N}$ e una settima armonica con ampiezza $0.04 V_{i,N}$. L'iniezione delle armoniche è stata abilitata e disabilitata improvvisamente ottenendo le risposte riportate nelle Figure 24 e 25. In presenza delle armoniche le

oscillazioni di v_d aumentano sensibilmente e raggiungono il 28% di $V_{g,N}$. Dopo la rimozione delle armoniche v_q raggiunge lo stato di regime in circa 18 ms. Mentre le armoniche sono applicate $f_{i,s}$ presenta una oscillazione persistente avente ampiezza di circa 1 Hz mentre l'oscillazione sovrapposta a $f_{i,s,sr}$ ha ampiezza circa 2 volte inferiore. Al momento della applicazione e della scomparsa delle armoniche $f_{i,s,sr}$ presenta una sovralongazione di circa 0.13 Hz. Lo stesso comportamento può essere riconosciuto anche in θ_{err} , con una oscillazione persistente di circa 0.5° e una sovralongazione di 1.2° .

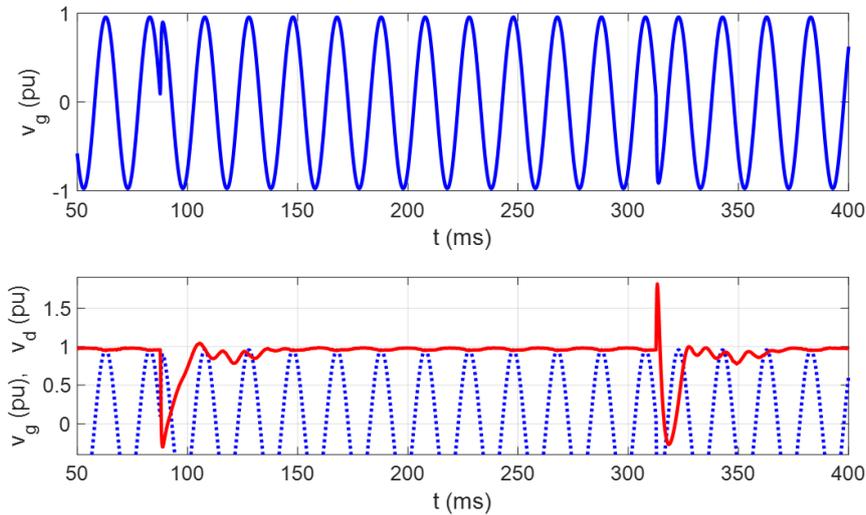


Figura 22. Risposta sperimentale a gradini di fase: v_i (linea blu continua e tratteggiata) e v_d (linea rossa continua).

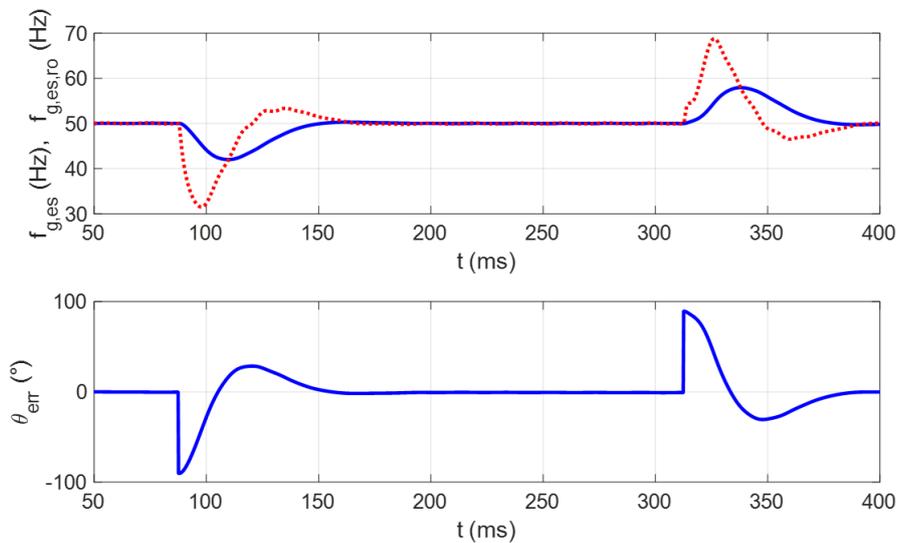


Figura 23. Risposta sperimentale a gradini di fase: $f_{i,s}$ (linea rossa tratteggiata), $f_{i,s,sr}$ (linea blu continua) e θ_{err} (linea blu continua).

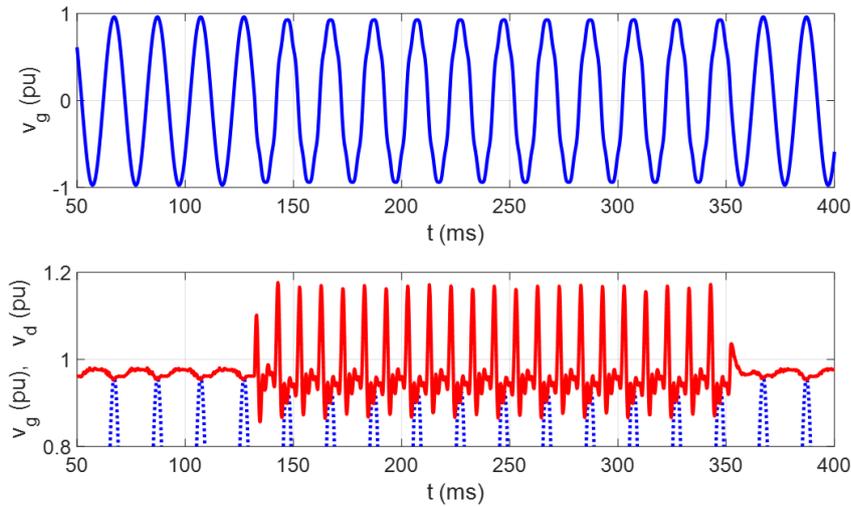


Figura 24. Risposta sperimentale all'applicazione di armoniche: v_i (linea blu continua e tratteggiata) and v_d (linea rossa continua).

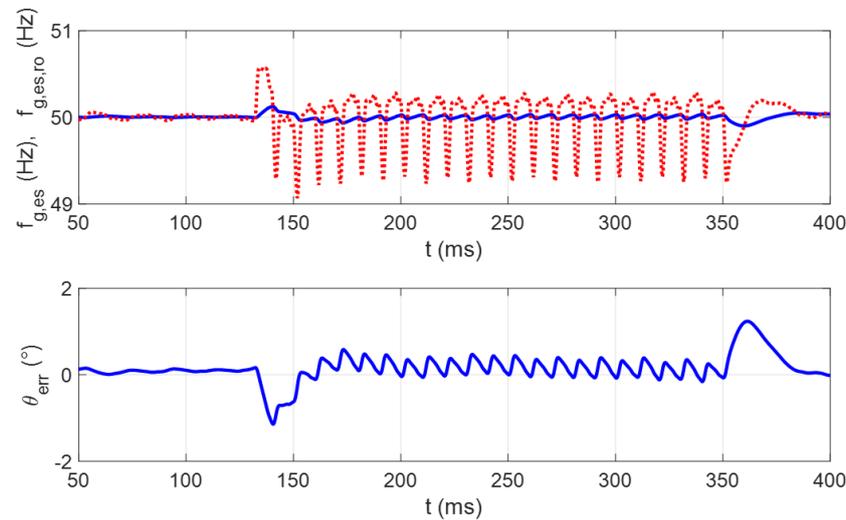


Figura 25. Risposta sperimentale all'applicazione di armoniche: $f_{i,s}$ (linea rossa tratteggiata), $f_{i,s,sr}$ (linea blu continua) e θ_{err} (linea blu continua).

Tabella 3. Confronto dei risultati sperimentali.

		GDSO ($f_{i,s}$)	GDSO ($f_{i,s,sr}$)	Delay [6]	Deri [7]	Park [8]	SOGI [9]	DOEC [10]	VTD [11]	CCF [12]	TPFA [13]
Gradino f_i 5 Hz	$f_{i,s}$ Tempo assest. (ms)	57.4	43.6	70	70	72	53	72	90	75	90
	$f_{i,s}$ Sovraelong. (Hz)	1.9	0.14	2.2	2.0	2.5	2.1	2.5	3.5	8.1	2.6
	$\theta_{i,err}$ Max (°)	16.8	16.8	16.0	12.5	17.0	15.5	17.0	25.0	21.0	25.0
Gradino 40% $V_{i,N}$	$f_{i,s}$ Tempo assest. (ms)	25.6	14.2	22	0.0	60	55	16	20	30	15
	$f_{i,s}$ Sovraelong. (Hz)	2.9	0.6	2.9	0.0	2.5	2.5	0.7	0.7	10.0	1.5
	$\theta_{g,err}$ Max (°)	6.5	6.5	3.3	0.0	6.7	6.0	2.0	2.5	5.5	3.5
Offset 0.05% $V_{i,N}$	$f_{g,e}$ Picco-picco (Hz)	2.6	0.3	3.8	8.7	1.1	1.2	0.9	0.0	1.5	0
	$\theta_{g,err}$ Picco-picco (°)	3.0	3.0	1.7	1.5	1.8	1.9	0.0	0.0	3.8	1.2
Gradino θ_i 90°	$f_{i,s}$ Tempo assest. (ms)	76.0	60.0	40	40	81	70	82	71	104	105
	$f_{i,s}$ Sovraelong. (Hz)	18.5	8.0	17.0	17.0	18.9	22.0	18.9	12.4	16.6	17.1
	$\theta_{g,err}$ Max (°)	28.6	28.6	16.2	16.0	37.0	25.0	40.5	10.8	17.8	28.8
Armoniche	$f_{g,e}$ Picco-picco (Hz)	1.0	0.0	3.8	8.7	1.1	1.2	0.9	0.0	1.5	0.0
	$\theta_{g,err}$ Picco-picco (°)	0.5	0.5	0.8	2.2	0.4	0.4	0.3	0.0	0.6	0.0

Tabella 4. Risultati relativi alla stima di V_i .

Gradino f_i 5 Hz	v_d Tempo assest. (ms)	44.0
	$v_{d,err}$ Max (%)	10.0
	$v_{d,err}$ Regime (%)	1.6
Gradino 40% $V_{i,N}$	v_d Tempo assest. (ms)	30.8
	$v_{d,err}$ Max (%)	13.0
	$v_{d,err}$ Regime (%)	1.4
Offset 0.05% $V_{i,N}$	v_d Tempo assest. (ms)	20.0
	$v_{d,err}$ Max (%)	11.5
	$v_{d,err}$ Regime (%)	11.4
Gradino θ_i 90°	v_d Tempo assest. (ms)	64.0
	$v_{d,err}$ Max (%)	129.0
	$v_{d,err}$ Regime (%)	1.6
Armoniche	v_d Tempo assest. (ms)	18.0
	$v_{d,err}$ Max (%)	28.0
	$v_{d,err}$ Regime (%)	15.3

I risultati sperimentali descritti sopra sono riassunti nelle prime due colonne della Tabella 3, che si riferiscono alle due stime di frequenza $f_{i,s}$ e $f_{i,s,sr}$. Le altre colonne riportano dati presi dal lavoro [1] e relativi alle prestazioni di altri otto diversi tipi di coppie GSO-PLL sottoposti alle medesime sollecitazioni considerate in questa relazione. Nel lavoro [1] non sono riportati risultati relativi alla stima dell'ampiezza di v_i mediante la grandezza v_q e quindi i risultati ottenuti in questa sede sono stati riassunti separatamente nella Tabella 4.

I dati raccolti in quest'ultima tabella mostrano che le prestazioni di questa coppia GSO-PLL non sono molto soddisfacenti nello stimare l'ampiezza della tensione v_i . Per analizzare più approfonditamente questo aspetto si è consultata la letteratura reperendo il lavoro [15] in cui si confrontano tre diversi tipi di PLL dal punto di vista della stima delle ampiezze. Le sollecitazioni considerate in [15] sono simili a quelle già descritte, ma hanno ampiezze diverse. Di conseguenza, è stata condotta una seconda serie di esperimenti per riprodurre queste diverse modalità di prova. I risultati ottenuti sono riportati nella prima colonna della Tabella 5 mentre le successive riportano i dati presi da [15].

Tabella 5. Confronto dei risultati sperimentali sulla stima di V_i .

		TOSsG	SOGI [9]	FFSOGI [14]	AFFSOGI [15]
Gradino f_i 5 Hz	v_d Tempo assest. (ms)	42.4	32.5	42.7	9.1
	$v_{d,err}$ Max (%)	10.0	36.9	27.9	20.3
	$v_{d,err}$ Regime (%)	1.8	0.0	4.6	1.4
Gradino θ_i 20°	v_d Tempo assest. (ms)	38.8	19.1	19.1	13.1
	$v_{d,err}$ Max (%)	34.6	25.2	25.1	19.5
Gradino 10% $V_{i,N}$	v_d Tempo assest. (ms)	11.2	38.7	38.7	20.1
	$v_{d,err}$ Max (%)	5.0	1.8	1.8	0.6
0.05% Offset	$v_{d,err}$ Regime (%)	10.8	19.8	19.8	10.0

2.7 Discussione

L'analisi della Tabella 3 mostra che le prestazioni della coppia GDSO-PLL sono mediamente comparabili se non superiori a quelle di altre soluzioni presentate in letteratura quando si considerano le stime di fase e di frequenza. In particolare, la risposta ai gradini di frequenza ha la sovraelongazione minima sia considerando $f_{i,s}$ che $f_{i,s,sr}$ e inoltre, da questo punto di vista, $f_{i,s,sr}$ ha prestazioni più di dieci volte migliori rispetto agli altri metodi. Il tempo di assestamento di $f_{i,s,sr}$ è il più basso tra tutti i PLL considerati e solo il PLL che impiega il metodo SOGI per la GSO ha un tempo di assestamento minore di quello di $f_{i,s}$. Solo la GSO di tipo derivativo risulta superiore a quella proposta dal punto di vista del massimo errore di fase mentre coppie GSO-PLL di tipo Delay, Park, SOGI e DOEC hanno circa le stesse prestazioni di quella proposta.

La risposta di $f_{i,s}$ ai gradini di ampiezza è comparabile con quella ottenuta impiegando la GSO di tipo derivativo anche se presenta un tempo di assestamento leggermente più lungo e circa nella media di quello delle altre coppie GSO-PLL. Invece $f_{i,s,sr}$ ha il tempo di assestamento più rapido, comparabile con quello dei DOEC e TPFA. Come il tempo di assestamento, la sovraelongazione di $f_{i,s}$ è nella media di quella degli altri sistemi. Il

tempo di assestamento e la sovraelongazione di $f_{i,s,SR}$ sono tra i migliori essendo superiori solo a quelli ottenuti usando una GSO di tipo derivativo. Al contrario, la stima della fase presenta un errore massimo che è tra i più elevati, essendo comparabile con quello dato dal metodo SOGI e solo leggermente inferiore a quello ottenuto dalla GSO basata sulla trasformazione di Park.

Quando viene applicato un offset la stima di frequenza $f_{i,s}$ è affetta da un errore con ampiezza picco-picco nella media e si comporta meglio di quella ottenuta impiegando le GSO di tipo Delay o derivativo. Invece l'accuratezza della stima $f_{i,s,SR}$ è superata solamente da quella ottenuta usando le tecniche VTD e TPFA. In questo caso le prestazioni nella stima della fase sono piuttosto scadenti e solo il PLL basato sul filtro con coefficienti complessi si comporta peggio.

Sia il tempo di assestamento di $f_{i,s}$ che quello di $f_{i,s,SR}$ dopo l'applicazione del gradino di fase sono nella media. Il primo di essi è superiore al tempo di assestamento ottenuto usando le tecniche SOGI e VTD mentre il secondo risulta inferiore. La sovraelongazione di $f_{i,s}$ è nella media e un po' inferiore a quella ottenuta usando la trasformazione di Park e il metodo DOEC mentre la sovraelongazione della stima $f_{i,s,SR}$ è la minima tra tutti i tipi di GSO-PLL considerati. Il corrispondente massimo errore di fase è nella media e comparabile a quello ottenuto con il SOGI e con il PLL di tipo TFFA.

In presenza di armoniche l'errore picco-picco riscontrato in $f_{i,s}$ è nella media, comparabile con quello ottenuto dai PLL di tipo Park e DOEC mentre è un po' inferiore a quello del SOGI. Anche in questo caso la stima $f_{i,s,SR}$ è migliore di $f_{i,s}$ e il suo errore picco-picco è comparabile a quello dei migliori PLL considerati. L'errore di fase picco-picco è nella media e un po' superiore a quello riscontrato nei PLL di tipo Park e SOGI.

L'analisi della Tabella 5 rivela che il metodo GDSO offre prestazioni di stima di V_i mediamente comparabili con quelle riportate in letteratura. In particolare, il tempo di assestamento dopo l'applicazione di un gradino di frequenza è simile a quello di un PLL con GSO di tipo FFSOGI anche se è molto più lungo di quello ottenuto impiegando la GSO di tipo "adaptive frequency fixed SOGI" (AFFSOGI), il metodo proposto nel lavoro [15]. Invece, il massimo errore nella stima di V_i è il più piccolo rispetto agli altri metodi considerati in [15] mentre l'errore a regime è un po' superiore a quello ottenuto con AFFSOGI e molto minore di quello raggiunto usando la GSO di tipo "frequency fixed SOGI" (FFSOGI).

La risposta del PLL che adotta la GDSO ad un gradino di fase e la peggiore tra quelle dei PLL considerati sia dal punto di vista del tempo di assestamento che dal quello dell'errore massimo. Invece, il tempo di assestamento di v_d quando viene applicato un gradino di V_i è meno di un terzo di quello ottenuto con i metodi SOGI e FFSOGI e un po' più di metà del tempo di assestamento di AFFSOGI. Al contrario, il massimo errore di stima di V_i risulta più che doppio rispetto a quello ottenuto con i metodi SOGI e FFSOGI e circa otto volte superiore a quello dato dal metodo AFFSOGI. Le prestazioni del metodo qui introdotto sono migliori nel caso si consideri la presenza di un offset dato che esse superano quelle di SOGI e FFSOGI dal punto di vista dell'errore a regime e sono solo leggermente peggiori di quelle di AFFSOGI.

Complessivamente, si può dire che il metodo GDSO qui presentato ha una maggiore precisione degli altri PLL nelle applicazioni in cui è necessario conoscere la frequenza e la fase istantanea della tensione di rete. Come altri tipi di PLL, il sistema proposto è affetto da oscillazioni persistenti sovrapposte alla stima della ampiezza della tensione di rete e quindi. Quindi, anche se tali oscillazioni non sono molto ampie, esso non opera in maniera ottimale nelle applicazioni in cui questo parametro deve essere conosciuto con precisione. Nondimeno, questo PLL può essere utilizzato quando le variazioni di V_i devono essere riconosciute rapidamente visto che esso ha una risposta più veloce degli altri.

Sia i risultati teorici che quelli sperimentali descritti in questo capitolo sono stati pubblicati in [16].

3 Realizzazione e sperimentazione del prototipo

Nel corso dell'anno è stato anche fornito supporto alla ditta incaricata della realizzazione del prototipo sia per mezzo di e-mail, che di telefonate ed incontri per via telematica.

3.1 Descrizione del prototipo

Fin dall'inizio di questo scambio di informazioni è emerso come fosse più conveniente dal punto di vista del raggiungimento del risultato finale usare un prodotto commerciale già disponibile per svolgere le funzioni

del raddrizzatore attivo (RA) collegato alla rete elettrica domestica e destinato a gestire lo scambio di potenza con quest'ultima. L'impiego di un dispositivo già collaudato e ottimizzato consente infatti di ridurre i tempi di sviluppo del SWV2H e di aumentare le probabilità di funzionamento corretto del prototipo. Questa scelta non riduce il valore dei risultati ottenuti dato che, dal punto di vista dello scambio di potenza bidirezionale senza contatto, il RA svolge solamente la funzione mantenere costante la tensione continua all'ingresso dell'invertitore ad alta frequenza (IAF) che alimenta la bobina trasmittente. Compiere tale funzione sia durante la carica che la scarica della batteria richiede che il RA sia in grado di scambiare con la rete un flusso di potenza bidirezionale, ma tale funzionalità con costituisce un risultato originale del progetto di ricerca visto che viene comunemente svolta da apparecchi commerciali come, ad esempio, gli invertitori che alimentano motori elettrici e operano la frenature rigenerativa, o gli invertitori usati per interfacciare alla rete pannelli fotovoltaici e gestire nello stesso tempo un sistema di accumulo locale.

Per l'applicazione oggetto di questo studio è stato selezionato un invertitore del secondo tipo, e precisamente il modello X3-Hybrid prodotto dalla ditta SolaX Power Network Technology mostrato nella Figura 26. Secondo lo schema di collegamento riportato nella Figura 27, l'invertitore X3-Hybrid svolge funzioni diverse in base alle impostazioni dell'utente e allo stato della rete e dei pannelli fotovoltaici.

I bus in continua dell'invertitore sono collegati, da un lato, ai pannelli fotovoltaici e dall'altro una batteria per l'immagazzinamento locale dell'energia. Tipicamente l'energia proveniente dai pannelli fotovoltaici viene utilizzata per alimentare i carichi convenzionali, indicati come "Loads", e quelli sensibili, indicati come "EPS Loads". Nel caso la potenza prodotta dai pannelli fosse superiore a quella richiesta dai carichi, l'eccedenza viene accumulata nella batteria e/o iniettata in rete. In caso di guasto alla rete, l'invertitore, prelevando energia dalla batteria ed eventualmente anche dai pannelli fotovoltaici, può svolgere la funzione di gruppo di continuità e alimentare i carichi sensibili. Tale funzione può essere svolta anche in senza il contributo dei pannelli, per esempio di notte.

Si è pensato di realizzare il RA mediante l'invertire X3-Hybrid proprio sfruttando quest'ultima modalità di funzionamento, sostituendo alla batteria mostrate in Fig. 27 il condensatore che sostiene il bus in continua della sezione trasmittente del SWV2H, e demandando al sistema di controllo interno dell'invertitore il compito di mantenere la tensione ai suoi capi costante, indipendentemente dal fatto che il raddrizzatore ad



Figura 26. Inverter X3 Hybrid usato con al funzione di RA.

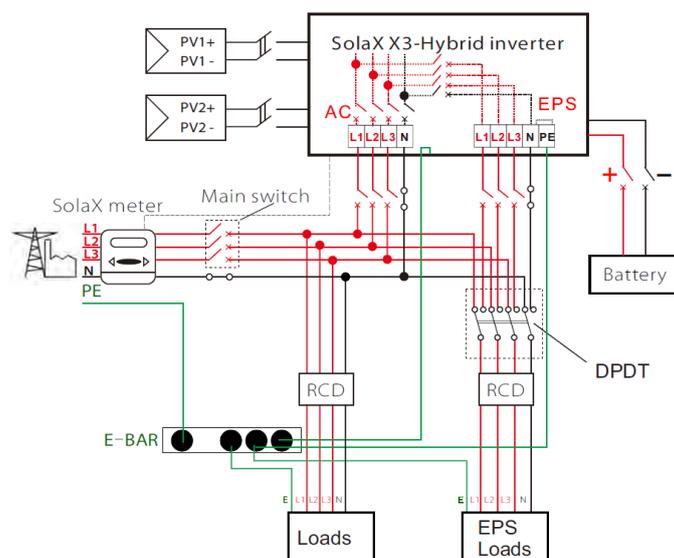


Figura 27. Schema di collegamento dell'invertitore X3 Hybrid.

alta frequenza (RAF) prelevi o inietti energia nella batteria del veicolo. Le caratteristiche riportate nella documentazione dell'invertitore dimostrano che esso è perfettamente adeguato allo svolgimento della funzione assegnata. La taglia più piccola del modello X3 Hybrid ha una potenza nominale di 5 kW, lavora con una tensione di rete nominale di 230 V_{rms} e una tensione di batteria, che nel caso del SWV2H corrisponde alla tensione del bus sul lato trasmittente, compresa tra 160 V e 800 V; inoltre è in grado di scambiare con la rete potenza reattiva di tipo sia capacitivo che induttivo con un $\cos\phi$ compreso tra 1 e 0.8.

Gli altri convertitori che costituiscono il SWV2H, cioè lo IAF, il RAF e il convertitore continua/continua (CCC) sono stati invece progettati e realizzati completamente dalla ditta incaricata della costruzione del prototipo. Lo IAF, così come descritto nel rapporto tecnico compilato al termine del primo anno del progetto, ha la configurazione nota come ponte H mostrata nella Figura 28a ed è costituito da 4 interruttori statici di tipo MOSFET modello C3M0021120K. Essi sono realizzati con semiconduttore di tipo SiC dalla ditta WolfSpeed e sono caratterizzati da una tensione operativa massima di 1200 V e una corrente massima di 100 A. Uno di questi dispositivi è mostrato in Figura 28b. I dispositivi a semiconduttore di tipo SiC sono caratterizzati da tempi di commutazione, perdite di commutazione e resistenze di conduzione notevolmente inferiori a quelli dei dispositivi tradizionali, per questo sono la scelta ottimale nella realizzazione di convertitori destinati ad operare a frequenze elevate, quale è appunto lo IAF, che commuta alla frequenza nominale di 85 kHz. Per contro, la caduta di tensione ai capi dei diodi intrinseci (body diode) realizzati in parallelo ai transistor è piuttosto elevata e supera i 4 V per cui non è consigliabile utilizzarli come diodi di ricircolo durante i tempi morti delle commutazioni e ancora meno come diodi raddrizzatori quando lo IAF opera come raddrizzatore non controllato. Dei diodi esterni modello MSC030SDA120BCT sono stati quindi connessi in parallelo agli interruttori statici al fine di ridurre le perdite di conduzione durante il funzionamento come raddrizzatore. Anche questi diodi, prodotti dalla ditta Microchip, sono basati sulla tecnologia SiC e hanno una caduta di

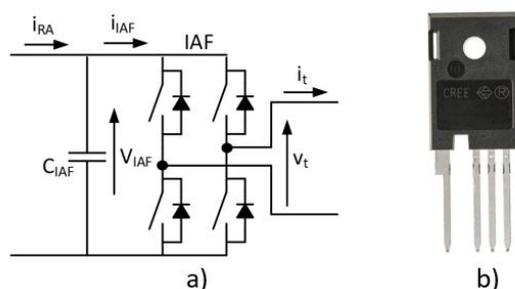


Figura 28. a) Schema di principio dell'invertitore ad alta frequenza b) SiC MOSFET Wolfspeed C3M0021120K.

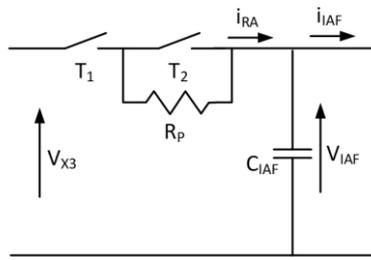


Figura 29. Schema di principio del circuito di precarica.

tensione pari a 1 V per cui il loro impiego riduce drasticamente le perdite dello IAF.

Oltre al circuito di potenza mostrato nella Figura 28a, lo IAF comprende anche alcuni circuiti di trasduzione, i circuiti di pilotaggio degli interruttori statici e il microcontrollore che esegue algoritmo di controllo con la relativa circuiteria di supporto. Gli algoritmi di controllo del SWV2H richiedono di trasdurre la tensione V_{IAF} del bus in continua e la corrente i_t che circola nella bobina trasmittente. La tensione V_{IAF} viene trasdotta mediante un partitore resistivo con un rapporto di riduzione pari a 1/575. All’uscita del partitore è posto un amplificatore isolato con guadagno unitario che, a sua volta, alimenta un filtro passa basso con guadagno unitario realizzato mediante un amplificatore operazionale. L’uscita del filtro viene acquisita dal convertitore analogico digitale de microcontrollore ed elaborata dagli algoritmi di controllo. Al fine di gestire la sequenza di precarica del condensatore C_{IAF} viene trasdotta anche la tensione presente sul bus in continua dell’invertitore X3-Hybrid secondo quanto mostrato nello schema di Figura 29.

Inizialmente viene chiuso l’interruttore T_1 collegando l’uscita dell’X3-Hybrid all’ingresso dello IAV mediante una resistenza di precarica R_P che limita la corrente i_{RA} che carica C_{IAF} . Quando la tensione sul condensatore è prossima a quella del bus dell’X3-Hybrid viene chiuso anche l’interruttore T_2 , cortocircuitando la resistenza di precarica e consentendo alla corrente i_{RA} di fluire senza perdite verso lo IAF.

La trasduzione della corrente i_t è effettuata mediante una sonda ad effetto Hall che genera in uscita una tensione proporzionale alla corrente stessa. La frequenza della corrente i_t è troppo elevata perché di essa si possa controllare il valore istantaneo e quindi la strategia di controllo prevede di controllarne solamente il valore di picco I_t , facendo affidamento sulla risonanza tra le bobine di accoppiamento e i relativi condensatori di compensazione per imporre alla corrente stessa un andamento pressochè sinusoidale. La trasduzione di I_t è effettuata mediante il circuito mostrato nella Figura 30. Esso è costituito da due stadi basati su amplificatori operazionali. Il primo stadio effettua un raddrizzamento a doppia semionda del segnale generato dalla sonda Hall mentre il secondo stadio è un filtro passa-basso. Nell’ipotesi che la corrente i_t sia sinusoidale, si ottiene all’uscita del circuito un segnale che idealmente è uguale al valor medio del modulo della corrente e cioè

$$I_{t, filt} = \frac{2}{\pi} I_t. \tag{23}$$

Al segnale utile sono sovrapposte delle oscillazioni a frequenza doppia di quella della corrente che devono

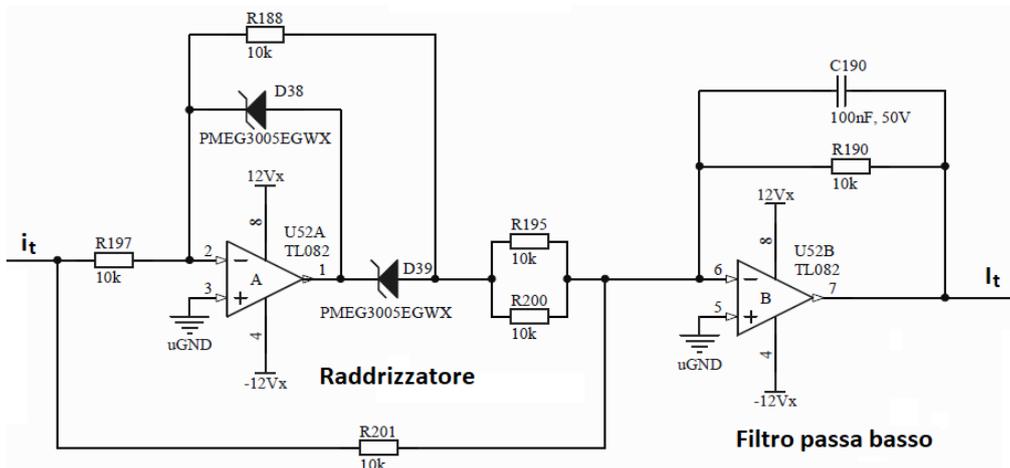


Figura 30. Circuito per la trasduzione della corrente i_t

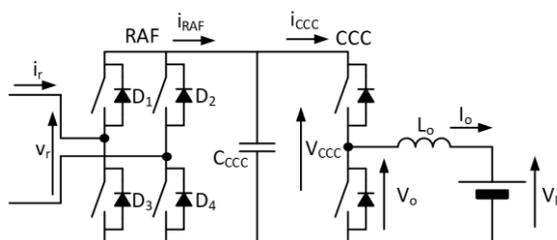


Figura 31. Schema di principio dell'invertitore ad alta frequenza e del convertitore CC/CC.

essere efficacemente attenuate dal filtro passa basso. L'azione di filtraggio, tuttavia, non può essere troppo energica perché altrimenti non sarebbe possibile seguire le variazioni di ampiezza della corrente trasdotta. Nel caso considerato la frequenza di taglio del filtro è di circa 160 Hz.

Nella sezione ricevente del SWV2H si trovano il RAF e il CCC. Il loro schema di principio è mostrato nella Figura 31. Come se vede, il RAF ha la stessa architettura dello IAF, e ciò non deve stupire dato che i due convertitori svolgono alternativamente le medesime funzioni a seconda del verso in cui fluisce la potenza. Dal punto di vista realizzativo però esistono delle differenze visto che i bus in continua dello IAF e del RAF lavorano a tensione diverse. Per questo motivo il RAF è stato realizzato impiegando interruttori statici di tipo SiC MOSFET modello SCTWA90N65G2V-4 prodotti dalla STmicroelectronics, caratterizzati da una tensione massima operativa di 650 V, cioè circa metà di quella dei dispositivi impiegati per realizzare lo IAF e da una corrente massima di 120 A. Anche in questo caso la caduta di tensione del body diode è piuttosto elevata per cui in parallelo agli interruttori statici sono stati installati dei diodi di ricircolo modello FFSH5065A-F155 prodotti dalla ditta ONsemi.

Per la trasduzione della corrente i_r , valgono le stesse considerazioni fatte a proposito della corrente i_t , per cui viene utilizzata una sonda Hall la cui uscita viene processata da un circuito simile a quello mostrato nella Figura 30 e poi acquisita dal microcontrollore che implementa gli algoritmi di controllo. Anche la trasduzione della tensione V_{CC} e la gestione della precarica di C_{CC} nel momento della connessione della batteria sono simili a quanto descritto riguardo allo IAF.

Oltre alla circuiteria strettamente legata alla gestione del flusso di potenza bidirezionale, nel prototipo sono presenti anche circuiti che prevencono o rilevano l'instaurarsi di condizioni di funzionamento pericolose.

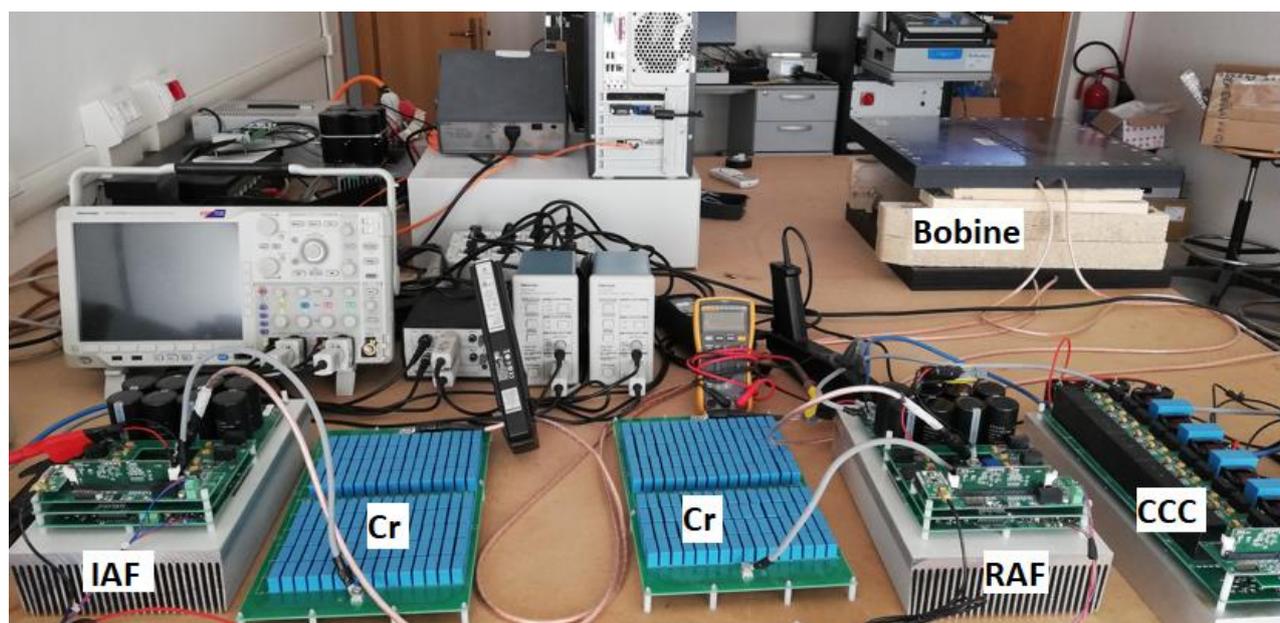


Figura 32. Prototipo completo del SWV2H.

Così, ad esempio, vengono trasdotte per mezzo di uno shunt le eventuali correnti di corto circuito dello IAF e del RAF. I relativi segnali sono comparati con una soglia per generare un eventuale allarme e inibire l'accensione degli interruttori statici. Oltre a ciò sono presenti anche dei sensori di temperatura disposti sui

dissipatori e sulle schede dei circuiti stampati.

Il prototipo è mostrato nella Figura 32. Oltre ai convertitori che lo costituiscono, sono visibili anche i due banchi di condensatori di risonanza, indicati con la sigla “C_r” e, in secondo piano, le due bobine accoppiate.

3.2 Esperimenti preliminari

In una prima serie di esperimenti ci si è concentrati principalmente sulla trasmissione senza contatto della potenza, per cui non sono stati utilizzati il RA e il CCC. Le prove sono state effettuate alimentando lo IAF con una tensione continua costante e pari a 400 V mediante un alimentatore da laboratorio mentre all’uscita del RAF è stato collegato un resistore da 5 Ω. Nella Figura 33 è riportata una acquisizione dello schermo dell’oscilloscopio durante una di queste prove. La traccia viola corrisponde alla tensione presente all’uscita dello IAF. Essa assume la caratteristica forma d’onda a tre livelli originata dal comando degli interruttori statici con la tecnica del phase shift. I picchi presenti prima dei fronti di salita della semionda positiva e prima dei fronti di discesa della semionda negativa sono dovuti alla presenza dei tempi morti nelle commutazioni degli interruttori. La traccia celeste rappresenta la corrente i_t della bobina trasmittente. Essa conferma che, nonostante la forma d’onda semiquadra generata dallo IAF, la risonanza tra l’induttanza della bobina e la capacità del condensatore di compensazione riesce ad attenuare efficacemente le armoniche della corrente così che essa risulta praticamente sinusoidale. Per questo motivo anche la tensione indotta ai capi della bobina ricevente risulta sinusoidale. La traccia verde corrisponde alla corrente nella bobina ricevente. Anche essa è sinusoidale grazie all’effetto della risonanza tra la bobina ricevente e il relativo condensatore collegato in serie. Quando la coppia formata dalla bobina ricevente e dal condensatore è in risonanza si comporta come un generatore di corrente e porta alternativamente in conduzione le due coppie dei diodi del RAF. A causa della conduzione dei diodi la tensione V_{CC} è presente all’ingresso del RAF con il segno positivo quando



Figura 33. Acquisizioni relative al funzionamento dello IAF e del RAF.

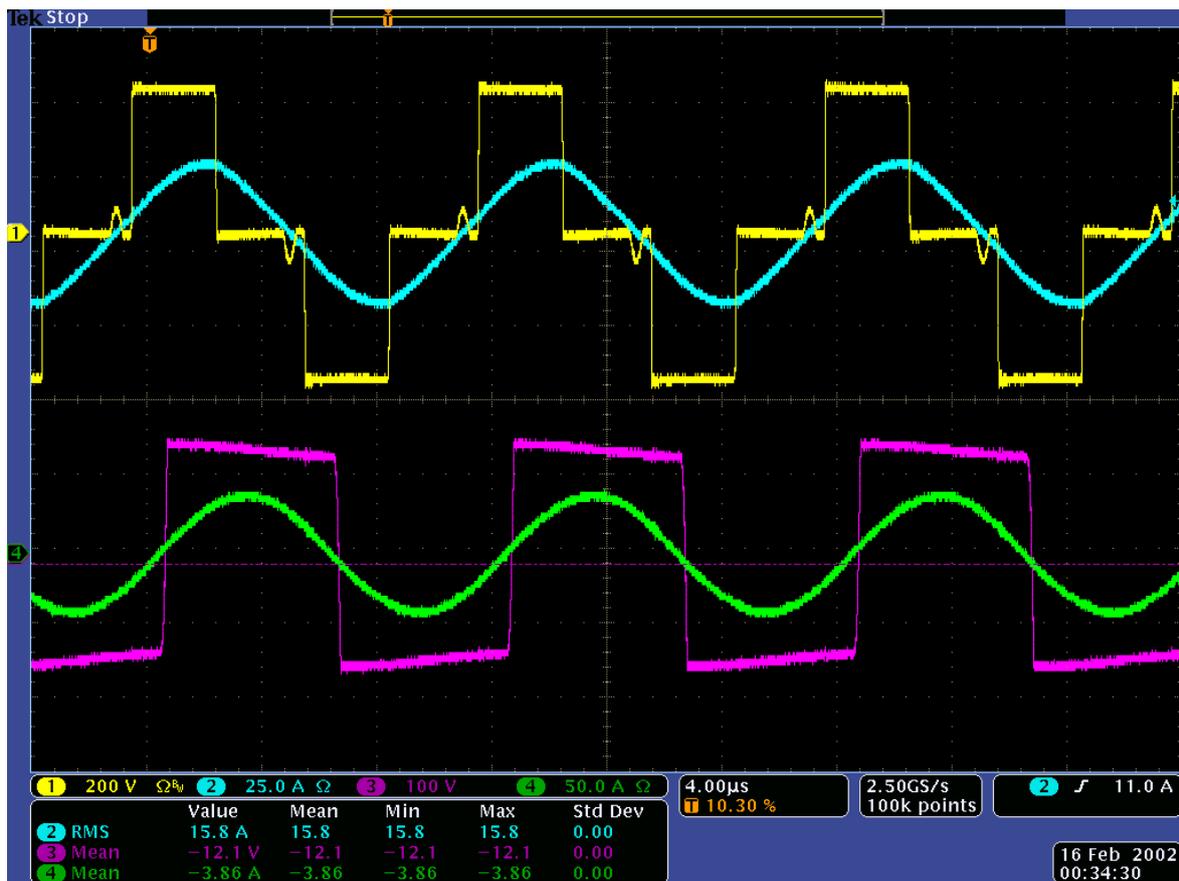


Figura 34. Acquisizioni relative al funzionamento dello IAF e del RAF.

conducono i diodi D_1 e D_4 di Figura 31 e con il segno negativo quando conducono i diodi D_2 e D_3 . Questo comportamento spiega perché all'ingresso del RAF sia presente la tensione ad onda quadra rappresentata dalla traccia gialla.

Una seconda serie di prove è stata eseguita utilizzando anche il CCC: la tensione di uscita è stata impostata sul valore costante di 75V ed è stato alimentato un carico resistivo di 1.9 W, così da erogare una potenza appena inferiore a 3 kW. La Figura 34 mostra una schermata dell'oscilloscopio relativa a questa modalità di funzionamento. Le forme d'onda appaiono simili a quelle analizzate nella prova precedente. L'unica differenza degna di nota riguarda l'andamento della tensione all'ingresso del RAF. In questo caso infatti l'onda quadra è leggermente distorta a causa delle oscillazioni della tensione V_{CC} causate dal fatto che il carico del raddrizzatore in questa sessione di prove è molto più elevato che nel caso precedente.

3.3 Semplificazione degli algoritmi di controllo

Con i tecnici della ditta incaricata della realizzazione del prototipo è stata valutata la possibilità di semplificare la strategia di controllo elaborata nel corso del secondo anno del progetto, in particolare eliminando la necessità di scambiare informazioni tra le sue sezioni del SWV2H per mezzo di un sistema di comunicazione radio.

Come primo esempio applicativo è stato considerato il controllo della tensione V_{CC} del bus in continua sulla sezione ricevente del SWV2H durante la carica della batteria. La strategia di controllo originale prevedeva che questa tensione fosse controllata dalle operazioni congiunte di due anelli di controllo, uno dei quali scarica parzialmente il condensatore C_{CC} con una corrente destinata a caricare la batteria e l'altro che invece ricarica il condensatore agendo sull'ampiezza della corrente i_r . Quest'ultima è controllata agendo sulla tensione all'uscita dello IAF e questo approccio è giustificato ricordando che la risonanza serie tra bobine e condensatori su entrambe le sezioni del SWV2H compensa le cadute di tensione induttiva sulle bobine, per cui la prima armonica della tensione di uscita dello IAF risulta uguale alla tensione indotta sulla bobina

trasmittente dalla corrente della bobina ricevente. Considerando la relazione fasoriale vale dunque la (24)

$$\bar{V}_t = j\omega M \bar{I}_r, \quad (24)$$

dalla quale si ricava che manipolando l'ampiezza di prima armonica di v_t si può controllare l'ampiezza I_r della corrente i_r . Tale approccio al controllo di I_r , sviluppato nel dettaglio nel corso del secondo anno del progetto, ha dimostrato di essere valido ma richiede di trasferire l'informazione relativa a I_r dalla sezione ricevente alla sezione trasmittente del SWV2H. Si è tentato di ovviare a questa necessità sviluppando una strategia di controllo alternativa, basata sulla relazione duale alla (24) che esprime v_r in funzione di i_t e che in forma fasoriale risulta

$$\bar{V}_r = j\omega M \bar{I}_t, \quad (25)$$

Da questa si deduce che se I_t è mantenuta costante anche V_r risulterà costante. Come mostrato anche nelle Figure 33 e 34, v_r è effettivamente una onda quadra con ampiezza pari a V_{CC} , per cui se V_r è costante anche V_{CC} lo è. Si è ipotizzato, inoltre, di riuscire a controllare I_t agendo su V_t . Se ciò fosse effettivamente possibile, si potrebbe evitare il trasferimento di dati tra le due sezioni del SWV2H mantenere comunque costante e controllata la tensione V_{CC} .

Tale possibilità è stata esplorata modificando i modelli per la simulazione del SWV2H precedentemente sviluppati sostituendone gli algoritmi di controllo con altri che implementano l'approccio descritto sopra. Purtroppo i risultati delle simulazioni effettuate hanno dimostrato che questa soluzione semplificata non è in grado di garantire la stabilità di funzionamento del SWV2H al variare delle condizioni operative. In particolare si è riscontrato che quando la corrente assorbita dalla batteria diminuisce perché essa è prossima alla condizione di fine carica, l'algoritmo di controllo della sezione trasmittente del SWV2H non è abbastanza pronto nel reagire a questo evento per cui la tensione ai capi del condensatore C_{CC} aumenta sensibilmente dato che la corrente che viene estratta da esso per caricare la batteria diminuisce più rapidamente di quanto diminuisca la corrente i_r che lo carica.

Nello studiare il fenomeno sono stati descritti tutti gli aspetti relativi al funzionamento del SWV2H, e in particolare nelle simulazioni sono stati inseriti anche i modelli circuitali dei convertitori e sono state considerate anche le commutazioni dei vari interruttori statici. Al fine di contenere in un limite ragionevole la durata delle simulazioni la batteria è stata modellata per mezzo di un condensatore di capacità elevata, dimensionato in modo che il processo di carica si esaurisse in pochi secondi. È da notare che questo tempo, per quanto molto più breve di quello richiesto dal processo di carica reale, è comunque lungo rispetto alla banda passante dei vari anelli di controllo implementati nel SWV2H, per cui il comportamento insoddisfacente evidenziato nelle figure riportate di seguito si avrebbe anche qualora il processo di carica fosse più lento. In effetti, le prove effettuate dalla ditta incaricata della realizzazione del prototipo non sono andate a buon fine in quanto i tecnici che le hanno eseguite hanno riscontrato la perdita di controllo della tensione bus in continua della sezione ricevente non appena veniva variata la corrente di carica della batteria. La Figura 35 riporta la tensione ai capi della batteria così come essa risulta all'uscita del circuito dedicato alla sua trasduzione. Poiché tale circuito comprende un filtro passa basso, nell'istante iniziale della simulazione la tensione trasdotta risulta uguale a zero anche se la tensione effettiva della batteria è di circa 65 V. questa discrepanza appare solo nella simulazione dato che, nel sistema reale, i circuiti elettronici dedicati alla trasduzione dei segnali vengono alimentati prima di attivare gli algoritmi di controllo dei convertitori statici e di abilitare i convertitori stessi per cui nel momento in cui inizia il trasferimento di potenza i circuiti di traduzione sono già a regime. La lettera "A" evidenzia una sorta di sovraelongazione nella tensione di batteria. Anche questo fenomeno è un artefatto della simulazione ed è dovuto all'effetto concomitante dell'aver simulato la batteria con un condensatore di capacità bassa rispetto a quella equivalente della batteria e del non aver inserito nella simulazione un circuito di precarica. In pratica la sovraelongazione è dovuta alla parziale scarica del condensatore C_{CC} sulla batteria. Esaurito il transitorio, la carica della batteria procede

regolarmente e la tensione cresce fino al punto “B”. In questa fase, come è mostrato nella Figura 36, la corrente di carica aumenta linearmente fino a quando, nel punto “B” raggiunge il valore massimo previsto dal produttore della batteria, che in questo caso è di circa 29 A. Tra il punto “B” e il punto “C” la carica avviene a corrente costante e poi, a partire dal punto “C”, prosegue a tensione costante mentre la corrente inizia a diminuire.

Come preannunciato, la diminuzione della corrente di carica della batteria ha un effetto indesiderato sulla tensione del condensatore C_{CC} che sostiene il bus in continua della sezione ricevente del SWV2H. La Figura 37 riporta l’andamento di questa grandezza e conferma come nei primi istanti della simulazione, vicino al punto “A”, il condensatore C_{CC} si scarichi sulla batteria con le conseguenti diminuzione rapida della tensione ai suoi capi e presenza di un picco di corrente nella batteria, evidenziato in Figura 36. Mentre la corrente di carica della batteria aumenta, anche la tensione ai capi di C_{CC} aumenta lentamente e raggiunge il valore di regime quando la batteria viene caricata a corrente costante tra i punti “B” e “C”.

Successivamente al raggiungimento del punto “C” la corrente di carica della batteria viene diminuita e questo causa un incremento della tensione ai capi di C_{CC} perché il sistema di controllo non riesce a diminuire contestualmente anche la corrente di carica del condensatore. L’incremento rapido di V_{CC} non ha effetti evidenti sulla carica della batteria, infatti la Figura 35 mostra che la tensione ai suoi capi si mantiene pressoché costante e la Figura 36 conferma che la corrente di carica continua a scendere. Si può notare però come l’incremento della tensione V_{CC} aumenti l’ampiezza delle oscillazioni sovrapposte alla corrente: quando V_{CC} è prossima al valore nominale la corrente trasdotta e filtrata, rappresentata con la linea rossa, corrisponde alla corrente reale nella batteria, rappresentata con la linea azzurra lasciando dedurre che le oscillazioni della corrente siano piccole. Quando V_{CC} assume un valore molto più elevato la tensione ai capi della induttanza di filtro L_o , visibile in Figura 31, è soggetta a transizioni di ampiezza più elevata e di conseguenza l’ampiezza del ripple di corrente di carica della batteria è maggiore.

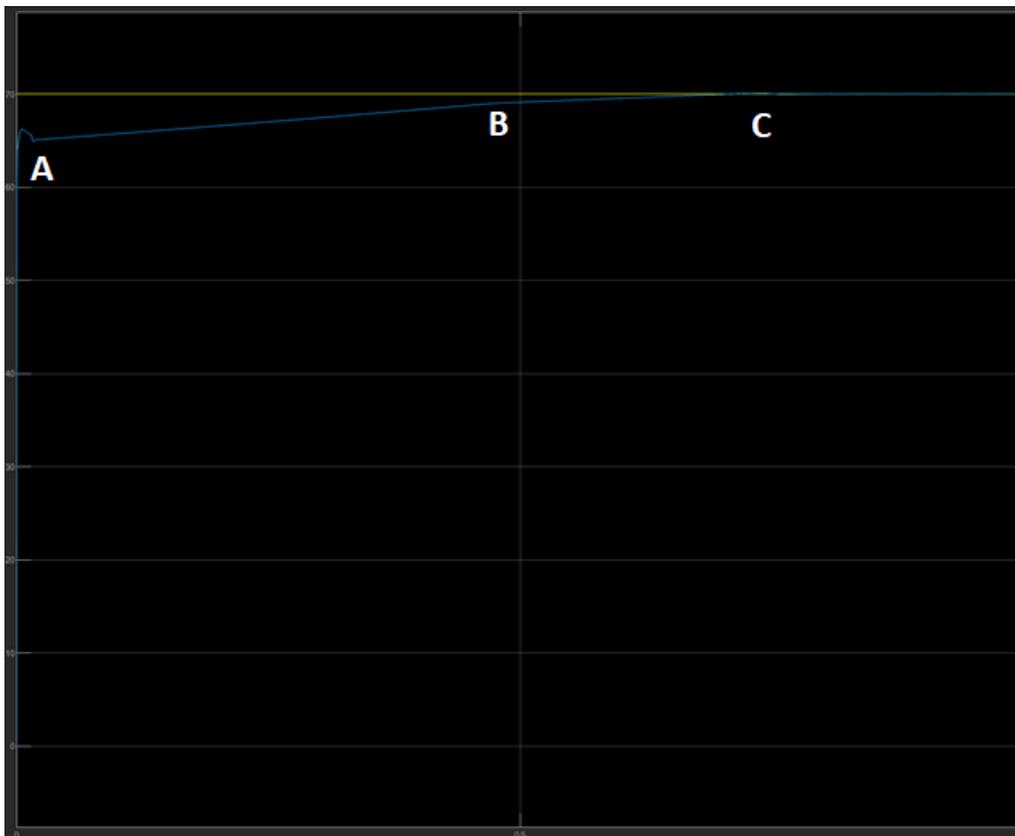


Figura 35. Tensione ai capi della batteria.

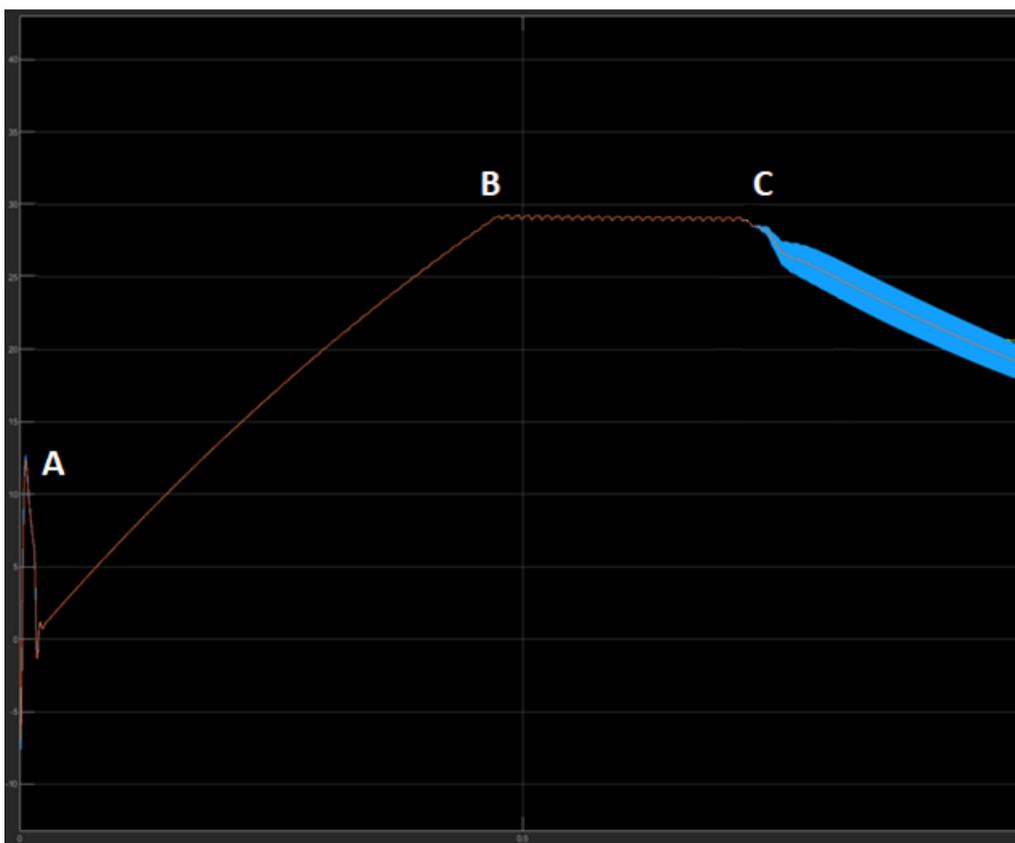


Figura 36. Corrente di carica della batteria filtrata (rosso) e non filtrata (celeste).

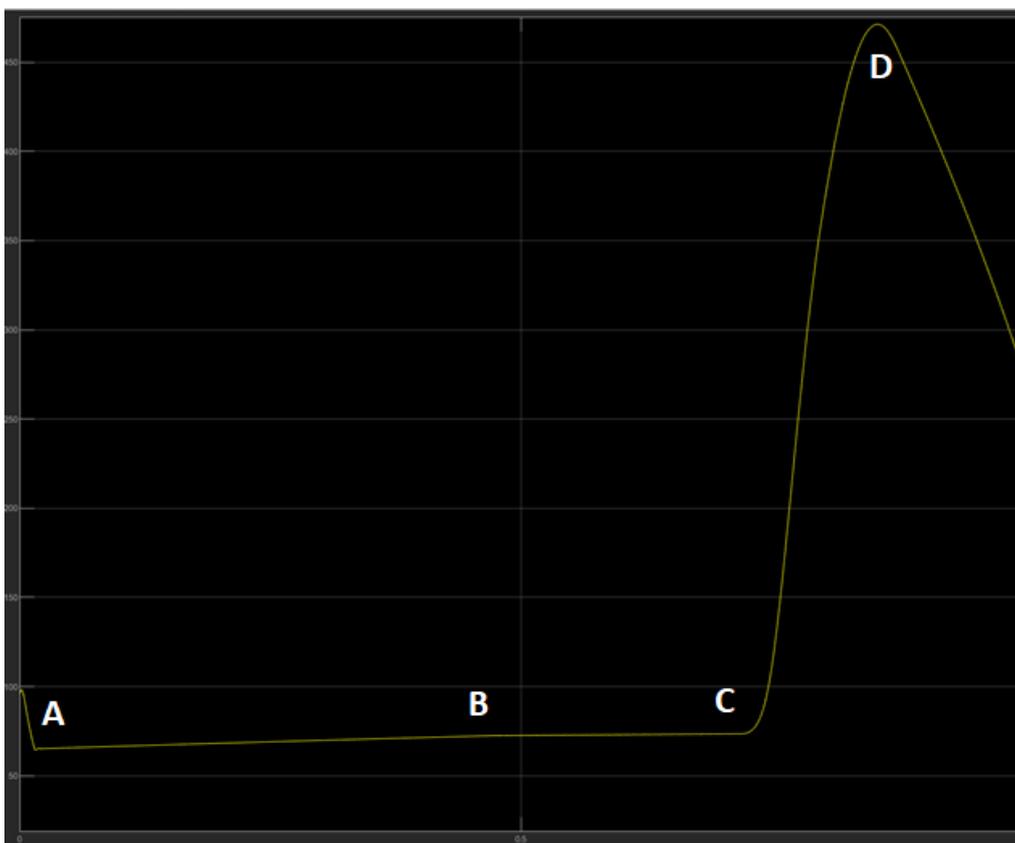


Figura 37. Tensione V_{CC} del bus in continua della sezione ricevente del SWV2H.

Come spiegato in precedenza, la tensione V_{CC} corrisponde alla ampiezza dell'onda quadra presente

all'ingresso del RAF. La componente fondamentale di questa tensione è uguale alla tensione indotta sulla bobina ricevente e di conseguenza, in base alla relazione (25), l'ampiezza I_t della corrente nella bobina trasmittente deve seguire lo stesso andamento di V_{CC} . Questa è esattamente la condizione che si verifica nella Figura 38, che mostra la corrente nelle bobine trasmittente, a partire dal punto "A" e fino al punto "E". Poiché l'ampiezza I_t è controllata agendo sulla tensione di alimentazione v_t , quando I_t supera il valore di riferimento la tensione di alimentazione viene diminuita, come si vede nella Figura 39 a partire dal punto "C". Inizialmente la diminuzione della tensione di alimentazione non riesce a far diminuire l'ampiezza di i_t perché il condensatore C_{CC} continua a essere caricato e la sua tensione aumenta, sia pure con velocità ridotta, facendo crescere anche I_t a causa della relazione (25). La diminuzione di v_t ha però un effetto sulla ampiezza I_r della corrente che circola nella bobina ricevente, infatti, per la (24), l'ampiezza della corrente risulta proporzionale alla tensione generata dallo IAF. Ciò è ben visibile nella Figura 40, dove la corrente i_r è mostrata in azzurro e la corrente i_t in giallo. Poiché è la corrente i_r raddrizzata che carica il condensatore C_{CC} , si può concludere che l'effetto di v_t sulla tensione V_{CC} non è tanto mediato dalla corrente i_t , come si era supposto nello sviluppare questo approccio al controllo di V_{CC} , ma piuttosto dalla corrente i_r , per cui è quest'ultima che deve essere manipolata per controllare V_{CC} .

La diminuzione di I_r riesce comunque a bloccare la crescita di V_{CC} tanto che essa si arresta nel punto "D". Da questo punto in poi V_{CC} inizia a scendere dato che la corrente di carica della batteria continua comunque ad essere estratta dal condensatore C_{CC} . Nel punto "E" l'ampiezza della corrente i_r si azzerava e ciò implica che i diodi del RAF smettono di condurre. Da questo punto in poi non si verifica più la condizione per cui la tensione v_r data dalla (25) è proporzionale alla tensione V_{CC} ed in effetti, confrontando la Figura 37 con la Figura 41 si nota che le due grandezze seguono profili diversi: quello di V_{CC} è determinato dalla corrente iniettata nella batteria mentre l'ampiezza di v_r segue l'andamento dell'ampiezza di i_t .

In base ai risultati qui riportati, supportati anche dei rilievi sperimentali effettuati dai tecnici che hanno realizzato il prototipo, si deve concludere che non è possibile semplificare gli algoritmi di controllo, e che in particolare nella loro progettazione si deve tener presente il particolare comportamento del SWV2H con

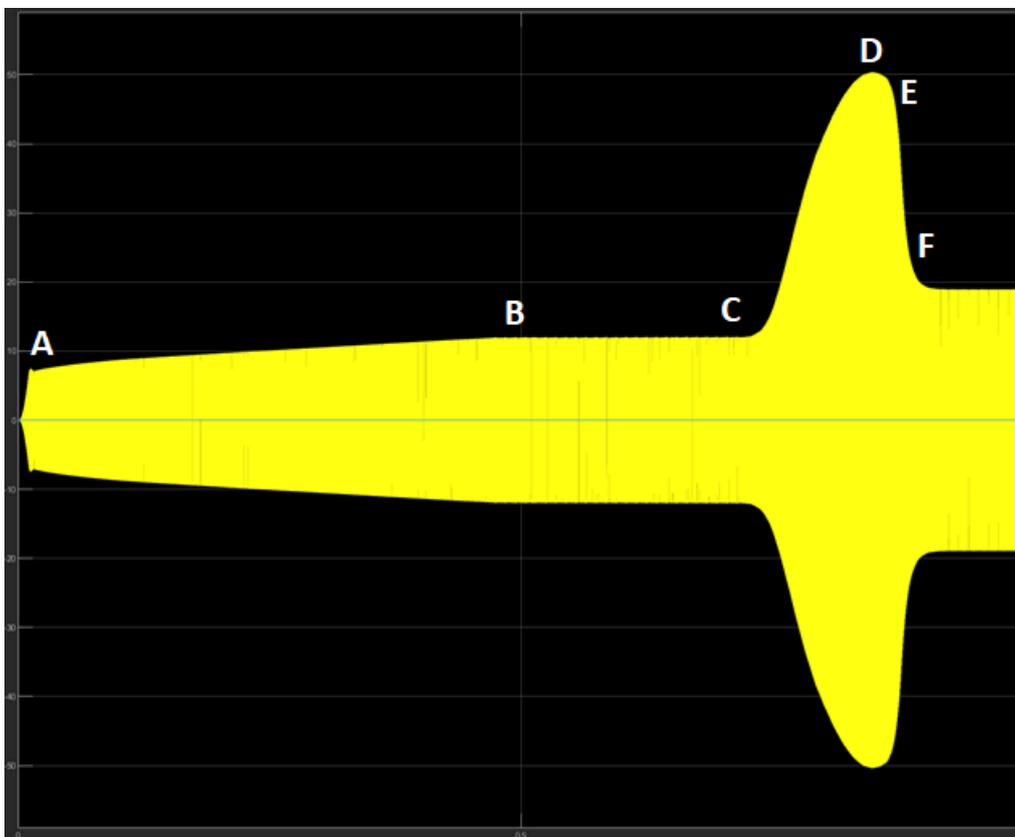


Figura 38. Corrente i_t nella bobina trasmittente.

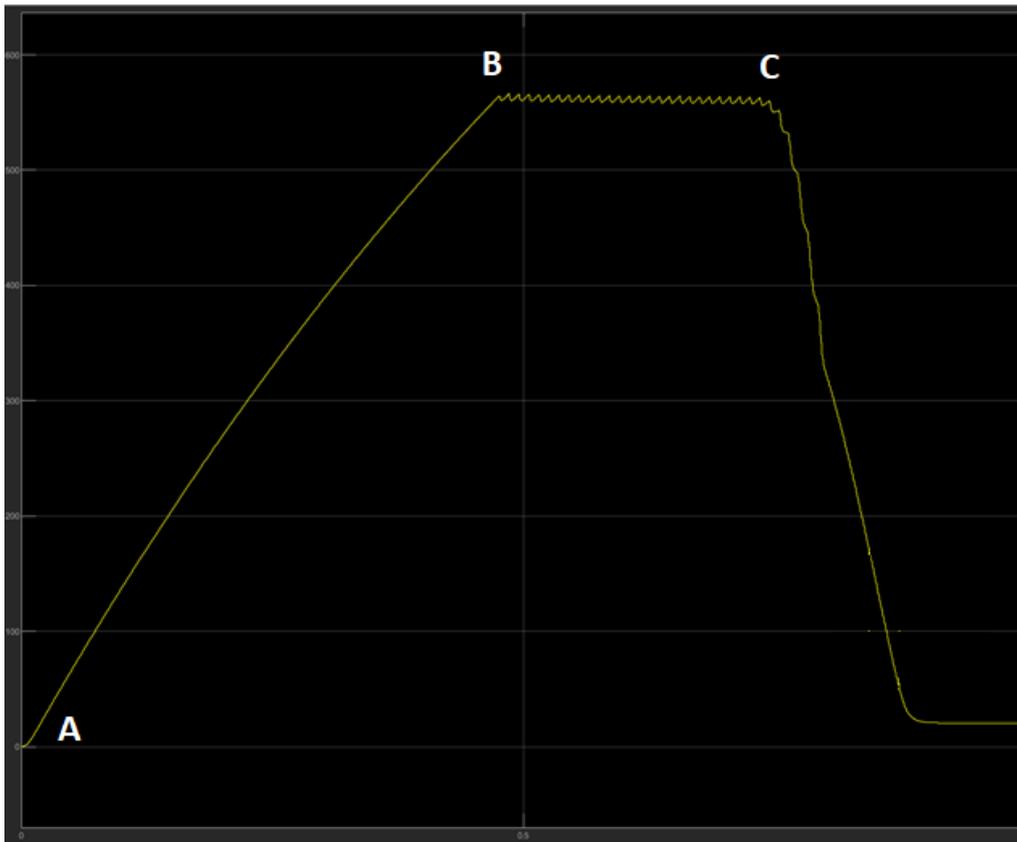


Figura 39. Ampiezza della tensione generata dallo IAF.

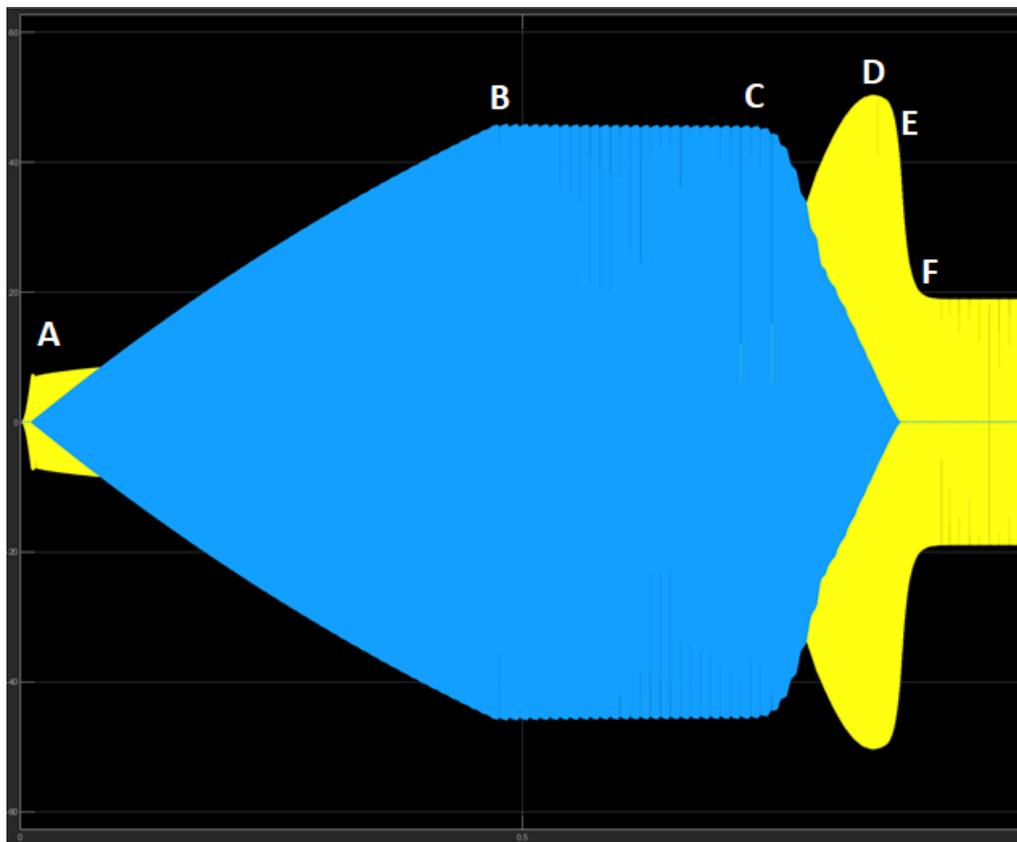


Figura 40. Corrente i_r nella bobina ricevente (celeste). Corrente i_t nella bobina trasmittente (giallo).

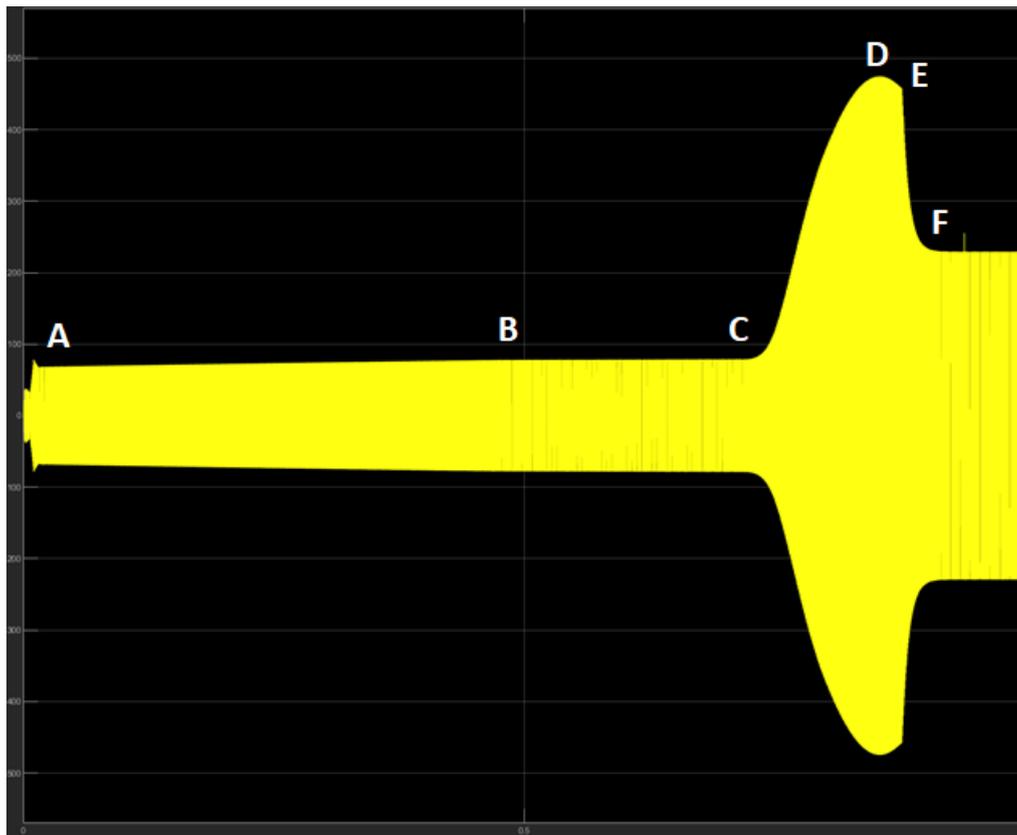


Figura 41. Tensione v_r all'ingresso del RAF.

risonanza di tipo serie-serie che porta ad avere una dipendenza incrociata tra la tensione presente all'uscita dello IAF e la corrente nella bobina ricevente e tra la tensione presente all'ingresso del RAF e la corrente della bobina ricevente.

4 Conclusioni

Nel corso del Piano Annuale di Realizzazione 2021 del progetto "V2H - Studio, progetto e sperimentazione di un sistema di ricarica wireless con funzionalità Vehicle to Home" sono stati portati a termine la costruzione e il collaudo del prototipo del SWV2H. Nel corso di queste attività è stata fornita assistenza ai tecnici che hanno costruito il prototipo e contemporaneamente è stata approfondita l'indagine sul nuovo metodo ideato nel corso del secondo anno di realizzazione del progetto per l'implementazione dell'algoritmo di PLL nel sistema di controllo dell'apparato. Su questo argomento è stata effettuata sia attività di ricerca che sperimentale e i risultati ottenuti sono stati pubblicati su una rivista internazionale. È stata anche valutata la possibilità di semplificare gli algoritmi di controllo sviluppati nel precedente anno di realizzazione e a questo fine è stata eseguita una serie di simulazioni su un modello appositamente adattato del SWV2H. I risultati delle simulazioni, in accordo anche con i rilievi sperimentali effettuati sul prototipo, hanno però escluso questa possibilità, per cui i tecnici che hanno realizzati il prototipo vi hanno implementato il sistema di controllo previsto originariamente ottenendo prestazioni corrispondenti a quelle previste in fase di progetto.

5 Riferimenti bibliografici

- [1] Y. Han, M. Luo, X. Zhao, J. M. Guerrero, and L. Xu, "Comparative Performance Evaluation of Orthogonal-Signal-Generators-Based Single-Phase PLL Algorithms—A Survey," *IEEE Trans. Power Electron.*, vol. 31, no. 5, pp. 3932-3944, May 2016.
- [2] Golestan S., Guerrero J.M., and Vasquez J.C., "Three-Phase PLLs: A Review of Recent Advances," *IEEE Trans. Power Electron.*, vol. 32, no. 3, pp. 1894-1907, Mar. 2017.
- [3] M. A. Akhtar and S. Saha, "An Adaptive Frequency-Fixed Second-Order Generalized Integrator-Quadrature Signal Generator Using Fractional-Order Conformal Mapping Based Approach," *IEEE Transactions on Power Electronics*, vol. 35, no. 6, pp. 5548-5552, June 2020.
- [4] "C2000™ real-time control MCUs," <https://www.ti.com/microcontrollers-mcus-processors/microcontrollers/c2000-real-time-control-mcus/overview.html> (Ultimo accesso: 26 June 2021).
- [5] "32-bit Arm® Cortex®-M3 PSoC® 5LP", <https://www.cypress.com/products/32-bit-arm-cortex-m3-psoc-5lp> (Ultimo accesso 26 June 2021).
- [6] M. Mirhosseini, J. Pou, V. G. Agelidis, E. Robles and S. Ceballos, "A Three-Phase Frequency-Adaptive Phase-Locked Loop for Independent Single-Phase Operation," *IEEE Trans. Power Electron.*, vol. 29, no. 12, pp. 6255-6259, Dec. 2014.
- [7] I. Galkin and M. Vorobyov, "Optimizing of sampling in a low-cost singlephase instantaneous AC-grid synchronization unit with discrete calculation of derivative function," in *Proc. 41st Annual Conf. IEEE Ind. Electron. Soc.*, Nov. 2015, pp. 4538–4543.
- [8] L. N. Arruda, S. M. Silva, and B. J. C. Filho, "PLL structures for utility connected systems," in *Conf. Rec. 36th IEEE IAS Annu. Meeting, 2001*, vol. 4, pp. 2655–2660.
- [9] M. Ciobotaru, R. Teodorescu, and F. Blaabjerg, "A new single-phase PLL structure based on second order generalized integrator," in *Proc. 37th IEEE Power Electron. Spec. Conf.*, Jun. 2006, pp. 1511–1516.
- [10] S. H. Hwang, L. Liu, H. Li, and J. M. Kim, "DC offset error compensation for synchronous reference frame PLL in single-phase grid-connected converters," *IEEE Trans. Power Electron.*, vol. 27, no. 8, pp. 3467–3471, 2012.
- [11] A. Ozdemir and I. Yazici, "Fast and robust software-based digital phase locked loop for power electronics applications," *IET Gener. Transmiss Distrib.*, vol. 7, no. 12, pp. 1435–1441, May 2013.
- [12] A. Otori, N. Hattori, and T. Funaki, "Phase-locked loop using complex-coefficient filters for grid-connected inverter," *Elect. Eng. Jpn*, vol. 189, no. 4, pp. 52–60, Apr. 2013.
- [13] S. M. Silva, B. M. Lopes, B. J. C. Filho, R. P. Campana, and W. C. Bosventura, "Performance evaluation of PLL algorithms for single-phase grid-connected systems," in *Proc. IEEE IAS Conf. Rec.*, 2004, pp. 2259–2263.
- [14] F. Xiao, L. Dong, L. Li, and X. Liao, "A frequency-fixed SOGI based PLL for single-phase grid-connected converters," *IEEE Trans. Power Electron.*, vol. 32, no. 3, pp. 1713–1719, Mar. 2017.
- [15] M. A. Akhtar and S. Saha, "An Adaptive Frequency-Fixed Second-Order Generalized Integrator-Quadrature Signal Generator Using Fractional-Order Conformal Mapping Based Approach," *IEEE Transactions on Power Electronics*, vol. 35, no. 6, pp. 5548-5552, June 2020.
- [16] M. Bertoluzzo, S. Giacomuzzi, and A. Kumar, "Design and Experimentation of a Single-Phase PLL with novel OSG method", *IEEE Access*, 2022 1-1. 10.1109/ACCESS.2022.3161658.

6 Appendice

Manuele Bertoluzzo è professore associato del settore scientifico disciplinare "Convertitori, macchine ed azionamenti elettrici" presso il Dipartimento di Ingegneria Industriale dell'Università di Padova, dove tiene gli insegnamenti di "Sistemi Elettrici per l'Automazione" e di "Veicoli elettrici stradali". Ha svolto attività di ricerca nei campi della mobilità elettrica e delle applicazioni industriali elettriche. In tema di mobilità elettrica, ha progettato, realizzato e collaudato apparati prototipali per la ricarica wired e wireless di veicoli elettrici, su powertrain con motori ruota e con diverse tipologie di alimentazione: accumulatori agli ioni di litio, celle a combustibile e sistemi di immagazzinamento misto dell'energia basati su accumulatori e supercondensatori. In tema di applicazioni industriali elettriche, ha sviluppato e sperimentato schemi per il controllo di motori asincroni e sincroni a magneti permanenti, e reti di campo sia event-triggered che time-triggered per il governo di sistemi elettrici critici dal punto di vista della sicurezza.